U 5300 CMOS-Gate-Array-System

Systembeschreibung

Schaltkreisentwurfssystem für höchstintegrierte digitale anwendungsspezifische Schaltkreise (ASIC) nach dem Gate-Array-Prinzip, d. h. einheitlicher Schaltungsuntergrund (Gatter-, Flip-Flop-, SRAM- sowie Interface-Zellen) und anwendungsspezifische "Verdrahtung" mittels 3 Ebenen in der CSGT4.

Bestandteile des Systems sind:

- 2 Master (U 5301 und U 5302)
- Makrozellenkatatog
- durchgängiges Entwurfssystem "Archimedes"
- Organisationsprojekt

Masterbeschreibung

Der Master U 5301 (sog. "Logikmaster) enthält ca. 40.000 Transistoren, davon

- 3.840 Gatteräquivalente für Kombinatorik
- 360 anwendungsspezifische konfigurierbare Master-Slave-Flip-Flops

Der Master U 5302 (sog. "Logikmaster mit SRAM") enthält ca. 70.000 Transistoren, d. h. 5.260 Gatteräquivalente und 4 KBit-SRAM, davon

- 2.640 Gatteräquivalente für Kombinatorik
- 200 anwendungsspezifische konfigurierbare Master-Slave-Flip-Flops
- 8 SRAM-Blöcke zu je 64 x 9 Bit (blockweise Kaskadierung zur Erhöhung von Wortbreite und Speichertiefe möglich).

Makrozellenkatalog

Es wurden sämtliche, im Vorgängersystem U 5200 angebotenen, logischen Hardware-Makrofunktionen (Gattermakros) auf das System U 5300 umgesetzt. Für alle Makros wird im Katalog eine Funktionsbeschreibung, die Anschlußbelegung, der Aufrufname sowie das dynamische Verhalten angegeben.

Der Makrozellenkatalog enthält:

Logik-Makros

- 4 Inverter mit internen Treibern
- 16 Grundgatter (Mehrfach-NAND und -NOR, dgl. mit Inverter, EXOR, XAND, Implikation)
- 28 komplexe Gatter (Verknüpfungen von Mehrfach-NAND und -NOR, zuzüglich Inverter usw.)

- Halbadder, Volladder
- 10 Dekoder, Multiplexer und Demultiplexer

Flip-Flop-Makros
- D-Master-Slave-Flip-Flops
- JK-Master-Slave-Flip-Flops

Interface-Makros
- Eingangsstufen, wahlweise mit oder ohne D-Master-Slave-Flip-Flop am Eingang
- Ausgangsstufen, wahlweise tristate oder open-collector
- bidirektionale Stufen

Entwurfssystem

Der Entwurf des U 5300-Schaltkreises erfolgt mit dem interaktiven durchgängigen Entwurfssystem "Archimedes" in der Reihenfolge:

- Erstellung des Logikplanes und Umsetzung in die NBS
- NBS-Eingabe
- Logiksimulation
- automatische Platzierung und Trassierung
- dynamische Simulation
- automatische Erzeugung des LSSD-Meßprogrammes
- GS-Datenerzeugung

Taktsystem

Das Gate-Array-System U 5300 arbeitet mit vollsynchroner Logik, wobei dem jeweiligen U 5300-Schaltkreis bis zu 2 Takte zugeführt werden können. Die Zuordnung der Flip-Flop-Zellen kann (in Abhängigkeit vom konkreten Einsatzfall) wahlfrei zu einem der beiden Takte erfolgen; der SRAM ist an einen bestimmten Takt gebunden, der Zugriff erfolgt ebenfalls taktsynchron innerhalb einer vollen Taktperiode.

Gehäuse

Die Verkappung der U 5300-Schaltkreise erfolgt generell in 124polige QFP-Gehäuse (Bauform C7N, TGL 26713/04). Anwendungsspezifisch nutzbar sind:

- für den Master U 5301 bis zu 108 Pins und
- für den Master U 5302 bis zu 104 Pins.

Die Bauform C7N mit Z-Pins ist Standardausführung. Als Sonderausführung auf spezielle Bestellung ist die Bauform C6N mit geraden Pins lieferbar.

Vorläufige technische Daten

Die Anwendung einer leistungsfähigen 1,5 µm-CMOS-Technologie ermöglicht günstige statische und dynamische Parameter:

- Betriebsspannung:	+ 5 V $\pm$ 5 %
- L-Eingangsspannung:	- 0,3 bis + 0,8 V
- H-Eingangsspannung:	+ 2,4 bis U_{CC} + 0,3 V
- L-Ausgangsspannung:	< 0,4 V (bei I_O = 5 mA)
- H-Ausgangsspannung:	> 2,4 V (bei I_O = -1 mA)
- Ruhestromaufnahme:	< 200 µA
- Treiberfähigkeit:	3 TTL-Lasten pro Ausgangsstufe
- maximale garantierte Taktfrequenz:	40 MHz (für Master U 5301) 30 MHz (für Master U 5302)
- Gatterverzögerung:	< 1,6 ns

Die Betriebsstromaufnahme ist anwendungsspezifisch.

Technische Auskünfte erteilt:

VEB Forschungszentrum
Mikroelektronik Dresden
Grenzstraße 28
Dresden
8080