ZEISS

Schaltkreis

U 61256 DC

1/89 (14)

vorläufige technische Daten

Hersteller: VEB Forschungszentrum Mikroelektronik Dresden
Betrieb des Kombinates VEB Carl Zeiss JENA

Dynamischer 256-KBit-Schreib-Lese-Speicher (dRAM) mit wahlfreiem Zugriff

Organisation	262 144 x 1 Bit Tristate-Ausgang, Datenausgang durch $\overline{CAS}$-Signal, eine Versorgungsspannung (5 V)
Betriebsarten	Lesezyklus, Schreibzyklus, Lese-Schreib-Zyklus, Statischer Seitenzugriff (Lesen und Schreiben) Refresh-Zyklus RAS-ONLY-REFRESH 256 Refresh-Zyklen, Refreshzeit 4 ms
Technologie	CSGT/MOS
Bauform	A1GG nach TGL 26713/02

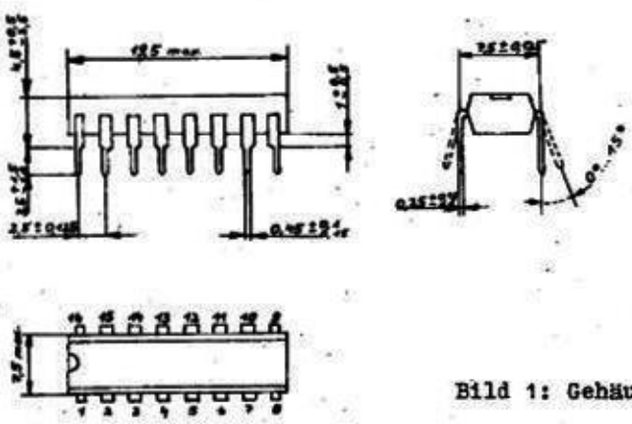

Bild 1: Gehäuse

Der Schaltkreis U 61256 DC ist ein dynamischer Schreib-Lese-Speicher mit wahlfreiem Zugriff (dRAM) in der Organisationsform 262 144 x 1 Bit. Der Schaltkreis ist für den Einsatz in Geräten der Datenverarbeitung, der Automatisierungstechnik und der kmmerziellen Elektronik bestimmt und wird als Hauptspeicher in Groß-, Klein- und Mikrorechnern eingesetzt. Die Typen unterscheiden sich in den dynamischen Parametern (Zugriffszeiten).

Typ	$\overline{RAS}$-Zugriffszeit	Art
U 61256 DC08	80 ns	Selektionstyp
U 61256 DC10	100 ns	Selektionstyp
U 61256 DC12	120 ns	Grundtyp
U 61256 DC15	150 ns	Anfalltyp

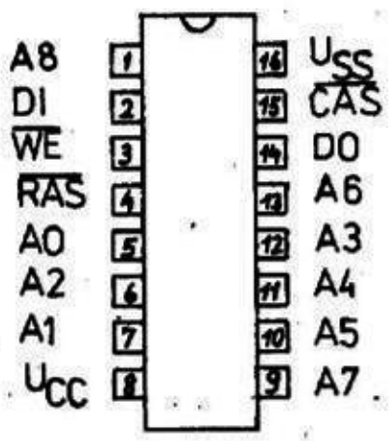

Bild 2: Anschlußbelegung

Anschlußbelegung

A0 ... A8	Adresseneingänge
$\overline{CAS}$	Spaltenadressensteuerung
$\overline{RAS}$	Zeilenadressensteuerung
DI	Dateneingang
DO	Datenausgang
$\overline{WE}$	Lese-Schreib-Steuerung
U_{CC}	Betriebsspannung
U_{SS}	Masse

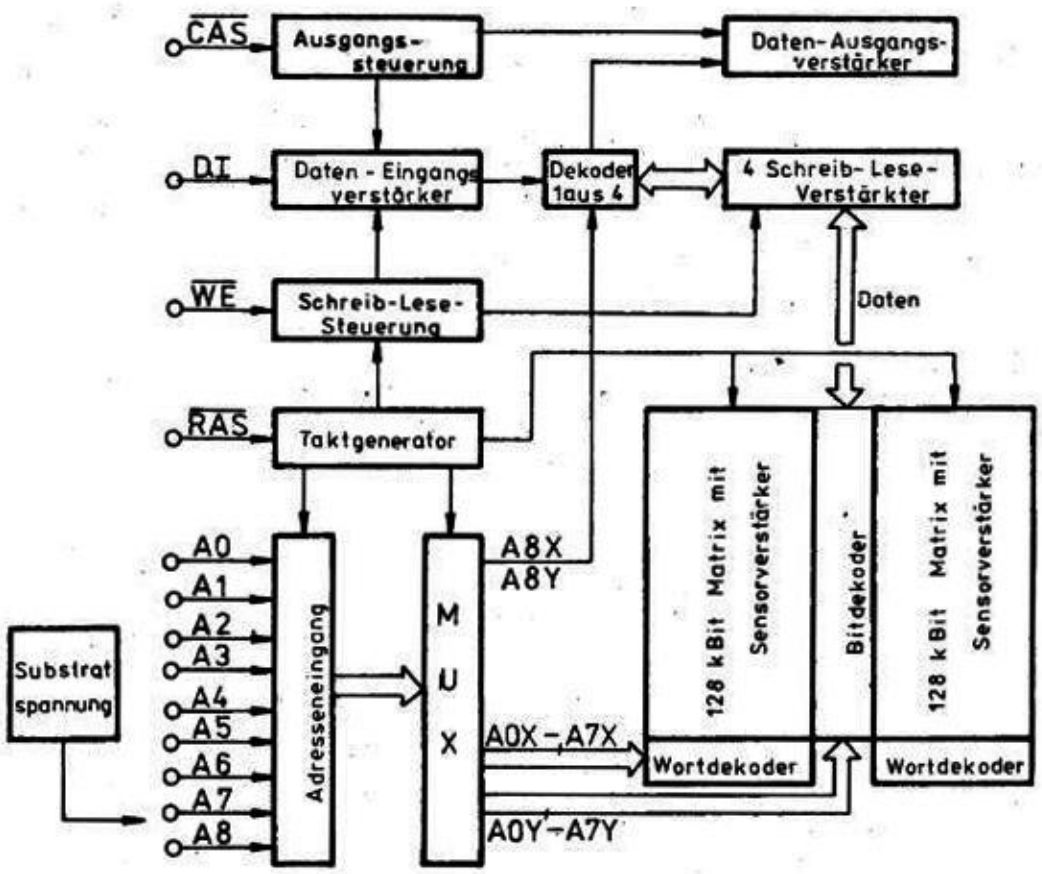

Bild 3: Blockschaltbild

Funktionsbeschreibung

Der Schaltkreis besteht aus 1-Transistor-Speicherzellen mit je einem MOS-Auswahltransistor und je einem MOS-Speicherkondensator. Damit werden höchste Speicherdichte, einfache Betriebsweise und günstige Kennwerte erreicht.
Es wird weitgehend die CMOS-Schaltungstechnik verwendet, womit eine minimale elektrische Verlustleistung gewährleistet wird. Die Verlustleistung ist der Zyklusrate proportional.
Die Chipauswahl, die Zeitsteuerung und das Auffrischen erfolgen intern, abgeleitet aus den Takten $\overline{RAS}$, $\overline{CAS}$ und $\overline{WE}$.
Alle Ein- und Ausgänge sind TTL-kompatibel. Es besteht ein Eingangsschutz gegen elektrostatische Aufladungen.
Es sind schaltungstechnische, technologische und layoutseitige Vorkehrungen gegen "soft errors" durch Alpha-Partikel getroffen.

Adressierung

Das 18 Bit breite Adreßwort, das zur Auswahl einer der 256 K Speicherzellen erforderlich ist, wird zeitmultiplex über 9 Adresseneingänge A0 bis A8 in die internen Adressenspeicher übernommen. Die fallende Flanke des Taktimpulses Row-Adress-Strobe ($\overline{RAS}$) übernimmt die Zeilenadresse. Die Übernahme der Spaltenadresse in ein Register wird ebenfalls von der $\overline{RAS}$-H/L-Flanke gesteuert. Bei Änderung der Spaltenadresse wird der Inhalt dieses Registers überschrieben. Das Bitmuster, das um t_{SVCL} vor der $\overline{CAS}$-H/L-Flanke und um t_{CLSX} nach dieser Flanke anliegt, wird dann als endgültige Spaltenadresse interpretiert, wenn keine statische Seitenzugriffs-Zyklen ausgeführt werden (s. statischer Seitenzugriff).

Dateneingang und Datenausgang

Die Daten, die in eine ausgewählte Zelle eingeschrieben werden sollen, werden bei einer Kombination der $\overline{WE}$- und $\overline{CAS}$-Signale in ein Dateneingangsregister übernommen, wenn $\overline{RAS}$ aktiv ist.
Das letzte der beiden Signale $\overline{WE}$ und $\overline{CAS}$ veranlaßt mit seiner fallenden Flanke die Übernahme der Dateninformation DI in das Dateneingangsregister. Dadurch gibt es verschiedene Möglichkeiten der Schreibzyklus-Steuerung.

Bei einem $\overline{CAS}$-gesteuerten Schreibzyklus ($\overline{WE}$ vor $\overline{CAS}$ aktiv, d. h. L) wird DI durch $\overline{CAS}$ übernommen. Die Dateneingangsvorhaltezeit (t_{IVCL}) und die Dateneingangshaltezeit (t_{CLIX}) sind dann auf $\overline{CAS}$ zu beziehen.
Wenn die Eingangsdaten beim $\overline{CAS}$-Übergang noch nicht verfügbar sind, muß das $\overline{WE}$-Signal verzögert werden, bis der $\overline{CAS}$-Übergang erfolgt ist. In diesem $\overline{WE}$-gesteuerten Schreibzyklus sind die Zeiten t_{IVWL} und t_{WLIX} auf $\overline{WE}$ zu beziehen.
Die Daten werden vom Speicher in Lesezyklen gehalten, wenn $\overline{WE}$ im inaktiven Zustand (H) ist, und zwar so lange, wie $\overline{CAS}$ aktiv (L) ist. Die auszulesenden Daten werden am Ausgang nach der angegebenen Zugriffszeit verfügbar.

Datenausgangssteuerung

Der normale Zustand des Datenausgangs DO ist der hochohmige Zustand. Immer, wenn $\overline{CAS}$ inaktiv (H) ist, floated DO (hochohmiger Zustand). So wirkt $\overline{CAS}$ als Datenausgangssteuerung. Der einzige Zeitpunkt, zu dem der Ausgang eingeschaltet ist und die letzte logische 0 oder 1 enthält, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis $\overline{CAS}$ zurück in den inaktiven Zustand (H) geht.
Wenn der Speicherzyklus ein Lese-, Lese-Schreib- oder Schreibzyklus ($\overline{WE}$-gesteuert) ist, dann geht DO vom hochohmigen in den aktiven Zustand (H oder L) über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zelle (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis $\overline{CAS}$ inaktiv (H) wird, unabhängig davon, ob $\overline{RAS}$ inaktiv wird oder nicht.
Wenn der Speicherzyklus ein Schreib-Zyklus ($\overline{CAS}$-gesteuert) ist, dann behält der Datenausgang DO seinen hochohmigen Zustand während des gesamten Zyklus. Diese Konfiguration erlaubt dem Anwender volle Steuermöglichkeit von DO allein durch die Zeitsteuerung von $\overline{WE}$. Dadurch, daß der Ausgang die Daten speichert, bleiben die Daten von der Zugriffszeit an bis zum Beginn eines folgenden Zyklus ohne Verlängerung der Zugriffszeit gültig.

Statischer Seiten-Zugriff (SSZ)

Der SSZ erlaubt aufeinanderfolgende Speicheroperationen für verschiedene Spaltenadressen bei der gleichen Zeilenadresse mit erhöhter Geschwindigkeit ohne Anwachsen der Verlustleistung. Das wird dadurch erreicht, daß bei allen Speicherzyklen, die sich auf die gleiche Zeilenadresse beziehen, das Signal $\overline{RAS}$ aktiv (L) bleibt.
Im SSZ werden die Spaltenadressen vom Schaltkreis unabhängig von äußeren Takten verarbeitet, so daß bei aufeinanderfolgenden Adressenzugriffen keine Vorladung erforderlich ist, wodurch ein zusätzlicher Zykluszeitgewinn eintritt. Das ist besonders für Bildwiederholspeicher von Vorteil.
Der SSZ wird initialisiert indem $\overline{CAS}$ vor $\overline{RAS}$ aktiv (L) wird. Insbesondere geht der Schaltkreis nach jeder $\overline{RAS}$-H/L-Flanke in den SSZ über, wenn der $\overline{CAS}$-Anschluß auf Masse gelegt wird. Beim SSZ (Lesen) bleibt der Datenausgang ständig im aktiven Zustand, wenn keine $\overline{CAS}$-Taktung erfolgt. Es ist aber auch möglich, den Datenausgang in SSZ-Zyklen mit $\overline{CAS}$ = H in den hochohmigen Zustand zu steuern.
Die Daten des ersten Bits bei SSZ-Lese-Zyklen sind nach Ablauf der Zeit t_{RLOV} gültig, die aller weiteren Bits eines SSZ-Zyklus nach t_{SVOV}, bezogen auf die jeweilige Spaltenadresse.
Das $\overline{WE}$-Signal muß in der Betriebsart SSZ (Schreiben) getaktet werden, denn nur durch die fallende $\overline{WE}$-Flanke werden die Eingangsdaten sowie die neue Spaltenadresse übernommen.

Auffrischen

Das Auffrischen der Daten in der Speichermatrix mit dynamischen Zellen erfolgt, indem ein Speicherzyklus für jede der 256 (A0 bis A7) Zeilenadressen im Zeitintervall von 4 ms ausgeführt wird.
Neben den normalen Speicherzyklen ist das mittels $\overline{RAS}$-Only-Refresh-Zyklen vorteilhaft möglich. Damit ergibt sich eine erheblich niedrigere Verlustleistung, ausgedrückt durch den kleineren Wert I_{CCREF}.

Einschalten der Betriebsspannung

Solange für alle Eingangsspannungen $U_I > -0{,}3$ V gilt, wird keine bestimmte Reihenfolge der Signale vorgeschrieben. Eingangsspannungen kleiner als -0,3 V dürfen an den Eingangsanschlüssen erst 1 ms nach dem Anliegen der Betriebsspannung auftreten.

Wenn die Betriebsspannung im Fehlerfall die angegebene Grenze überschreitet, sind zur Vermeidung von Ausfällen die Signale $\overline{RAS}$ und $\overline{CAS}$ in den inaktiven Zustand zu steuern.
Nachdem die Betriebsspannung 1 ms anliegt, benötigt der Speicher mindestens 8 Zyklen mit Auffrischen für seinen normalen Betrieb.

Zeitdiagramme (siehe Bild 4, Bild 5, Bild 6, Bild 7, Bild 8, Bild 9, Bild 10)

Verwendete Kurzzeichen

Signale:
- Z - Zeilenadresse
- S - Spaltenadresse
- R - RAS
- C - CAS
- W - WE
- I - Dateneingang
- O - Datenausgang

Flanken:
- H - Übergang nach H
- L - Übergang nach L
- V - Übergang in gültigen Zustand
- X - Übergang in beliebigen oder ungültigen Zustand
- Z - Übergang in hochohmigen Zustand

Die Indizes H oder L definieren, ob die Flanke steigt oder fällt. Die für die Funktion des Schaltkreises erforderliche Zeitbedingung - Beginn oder Ende der Flanke - ist dem entsprechenden Zeitdiagramm zu entnehmen. In unterschiedlichen Betriebsarten können einem Kurzzeichen unterschiedliche Kennwerte zugeordnet sein. Das gilt für t_{RLRL}, t_{RLRH}, t_{CLCH}, t_{RHWL}, t_{RLSV}, t_{SVWL} und t_{WHRL}.
Die Zeitmessung erfolgt mit $t_{IHL} = t_{ILH} = 5$ ns.

U_{IHmin} und U_{ILmax} sind Bezugspunkte für die Zeitmessung der Eingangssignale; Übergangszeiten werden zwischen U_{IH} und U_{IL} gemessen.

Die Zeitangaben sind auf folgende Spannungen bezogen:

Eingänge: $U_{IL} = 0{,}8$ V; $U_{IH} = 2{,}4$ V.

Ausgänge: $U_{OL} = 0{,}4$ V oder $U_{OH} = 2{,}4$ V je nach Datenwert.

Grenzwerte

Alle Spannungen sind auf $U_{SS} = 0$ V (Masse) zu beziehen.

	Kurzzeichen	min.	max.	Einheit
Spannung an allen Ein- und Ausgängen	U_I, U_O	-2,0	7,0	V
Betriebsspannung	U_{CC}	-0,5	7,0	V
Gesamtverlustleistung	P_{tot}	-	1	W
Umgebungstemperatur	ϑ_a	0	70	°C
Ausgangsstrom	I_O	-50	50	mA

Betriebsbedingungen

Alle Spannungen sind auf U_{SS} = 0 V (Masse) zu beziehen. Die Behandlungsvorschriften für MOS-Schaltkreise sind einzuhalten.

	Kurzzeichen	U 61256 min.	DC08 max.	U 61256 min.	DC10 max.	U 61256 min.	DC12 max.	U 61256 min.	DC15 max.	Einheit
Betriebsspannung	U_{CC}	4,75	5,25	4,5	5,5	4,5	5,5	4,5	5,5	V
H-Eingangsspannung	U_{IH}	2,4	5,25	2,4	5,5	2,4	5,5	2,4	5,5	V
L-Eingangsspannung	U_{IL}	-1,0	0,8	-1,0	0,8	-1,0	0,8	-1,0	0,8[1)]	V
Umgebungstemperatur	ϑ_a	0	70	0	70	0	70	0	70	°C
Übergangszeit L/H und H/L	t_{TLH}, t_{THL}	3	30	3	30	3	30	3	30	ns
Alle Zyklen außer SSZ										
$\overline{RAS}$-Vorladezeit	t_{RHRL}	70	-	80	-	90	-	100	-	ns
$\overline{RAS}$-$\overline{CAS}$-Verzögerungszeit	t_{RLCL}	25	55	30	70	30	85	35	105[2)]	ns
$\overline{CAS}$-Vorladezeit	t_{CHCL}	15	-	15	-	15	-	20	-	ns
$\overline{CAS}$-$\overline{RAS}$-Vorladezeit	t_{CHRL}	15	-	15	-	15	-	20	-	ns
Zeilenadressenvorhaltezeit	t_{ZVRL}	0	-	0	-	0	-	0	-	ns
Zeilenadressenhaltezeit	t_{RLZX}	10	-	15	-	15	-	20	-	ns
Spaltenadressenvorhaltezeit	t_{SVCL}	5	-	5	-	5	-	5	-	ns
Spaltenadressenhaltezeit	t_{CLSX}	15	-	20	-	20	-	25	-	ns
Spaltenadressenhaltezeit von $\overline{RAS}$ an	t_{RLSX}	60	-	65	-	70	-	85	-	ns
Spaltenadressenverzögerungszeit von $\overline{RAS}$ an	t_{RLSV}	-	35	-	45	-	55	-	70	ns
$\overline{RAS}$-Haltezeit nach gültiger Spaltenadresse	t_{SVRH}	45	-	55	-	65	-	80	-	ns
Refresh-Periode	t_{REF}	-	4	-	4	-	4	-	4	ms
Lese-Zyklus										
Lesezykluszeit	t_{RLRL}	160	-	190	-	220	-	260	-	ns
$\overline{RAS}$-Impulsbreite	t_{RLRH}	80	50000	100	50000	120	50000	150	50000	ns
$\overline{CAS}$-Impulsbreite	t_{CLCH}	25	50000	30	50000	35	50000	45	50000	ns
$\overline{RAS}$-Haltezeit	t_{CLRH}	25	-	30	-	35	-	45	-	ns

	Kurzzeichen	U 61256 min.	DC08 max.	U 61256 min.	DC10 max.	U 61256 min.	DC12 max.	U 61256 min.	DC15 max.	Einheit
Fortsetzung Lese-Zyklus										
$\overline{CAS}$-Haltezeit	t_{RLCH}	80	-	100	-	120	-	150	-	ns
Lesekommando-vorhaltezeit	t_{WHCL}	0	-	0	-	0	-	0	-	ns
Lesekommando-haltezeit ($\overline{RAS}$)	t_{RHWL}	10	-	10	-	10	-	10	-	ns
Lesekommando-haltezeit ($\overline{CAS}$)	t_{CHWL}	0	-	0	-	0	-	0	-	ns
Schreib-Zyklus										
Schreibzyklus-zeit	t_{RLRL}	160	-	190	-	220	-	260	-[3]	ns
$\overline{RAS}$-Impuls-breite	t_{RLRH}	80	50000	100	50000	120	50000	150	50000	ns
$\overline{CAS}$-Impuls-breite	t_{CLCH}	25	50000	30	50000	35	50000	45	50000	ns
Schreibkommando-vorhaltezeit	t_{WLCL}	0	-	0	-	0	-	0	-[4]	ns
Schreibkommando-haltezeit ($\overline{CAS}$)	t_{CLWH}	20	-	20	-	25	-	35	-	ns
Schreibkommando-haltezeit ($\overline{RAS}$)	t_{RLWH}	65	-	80	-	100	-	120	-	ns
$\overline{RAS}$-Haltezeit	t_{CLRH}	25	-	30	-	35	-	45	-	ns
$\overline{CAS}$-Haltezeit	t_{RLCH}	80	-	100	-	120	-	150	-	ns
Schreibkommando-impulsbreite	t_{WLWH}	20	-	25	-	30	-	40	-	ns
Schreibkommando-$\overline{RAS}$-Vorhaltezeit	t_{WLRH}	30	-	35	-	40	-	50	-	ns
Schreibkommando-$\overline{CAS}$-Vorhaltezeit	t_{WLCH}	30	-	35	-	40	-	50	-	ns
Dateneingangs-vorhaltezeit	t_{IVCL}, t_{IVWL}	0	-	0	-	0	-	0	-[5]	ns
Dateneingangs-haltezeit	t_{CLIX}, t_{WLIX}	20	-	25	-	30	-	35	-[5]	ns
Lese-Schreib-Zyklus (LSZ)[6]										
Zykluszeit	t_{RLRL}	195	-	230	-	265	-	315	-[3]	ns
$\overline{RAS}$-Impuls-breite	t_{RLRH}	115	50000	140	50000	165	50000	205	50000	ns

	Kurzzeichen	U 61256 min.	DC08 max.	U 61256 min.	DC10 max.	U 61256 min.	DC12 max.	U 61256 min.	DC15 max.	Einheit
Fortsetzung Lese-Schreib-Zyklus										
$\overline{CAS}$-Impulsbreite	t_{CLCH}	55	50000	65	50000	75	50000	95	50000	ns
$\overline{RAS}$-$\overline{WE}$-Verzögerungszeit	t_{RLWL}	80	-	100	-	120	-	150	-[4]	ns
$\overline{CAS}$-$\overline{WE}$-Verzögerungszeit	t_{CLWL}	25	-	30	-	35	-	45	-[4]	ns
Spaltenadressenvorhaltezeit vor $\overline{WE}$ = L	t_{SVWL}	45	-	55	-	65	-	80	-	ns
$\overline{CAS}$-Haltezeit	t_{RLCH}	115	-	140	-	165	-	205	-	ns
Statischer Seitenzugriff (SSZ)[7]										
$\overline{CAS}$-$\overline{RAS}$-Vorhaltezeit zur SSZ-Eröffnung	t_{CLRL}	10	-	15	-	15	-	20	-	ns
Adressenzykluszeit	t_{SVSV}	50	-	60	-	70	-	85	-	ns
Adressenvorhaltezeit vor SSZ-Ende	t_{SVRH}	45	-	55	-	65	-	80	-[4]	ns
$\overline{CAS}$-Vorladezeit	t_{CHCL}	10	-	10	-	15	-	20	-[8]	ns
$\overline{RAS}$-Vorladezeit	t_{RLRH}	70	-	80	-	90	-	100	-	ns
SSZ-Lese-Zyklus										
Spaltenadressenverzögerungszeit	t_{RLSV}	-	35	-	45	-	55	-	70[2]	ns
Lesekommandovorhaltezeit	t_{WHRL}	10	-	10	-	15	-	20	-	ns
Lesekommandohaltezeit	t_{RHWL}	10	-	10	-	15	-	20	-	ns
Adressenhaltezeit nach SSZ-Lesezyklusende	t_{RHSX}	10	-	10	-	15	-	15	-	ns
SSZ-Schreibzyklus										
Schreibvorladezeit	t_{WHWL}	15	-	15	-	20	-	30	-	ns
Adressenvorhaltezeit vor $\overline{WE}$	t_{SVWL}	10	-	10	-	10	-	10	-	ns
Adressenhaltezeit	t_{WLSX}	20	-	25	-	30	-	40	-	ns
$\overline{WE}$-$\overline{RAS}$-Vorladezeit	t_{WHRL}	-10	-	-10	-	-10	-	-10	-	ns
Spaltenadressenhaltezeit von $\overline{RAS}$ an	t_{RLSX}	70	-	90	-	110	-	130	-	ns

1) U_{IL} darf nicht länger als 40 ns negativer als -0,3 V sein.

2) Es ist mit 2 TTL-Lasten und C_L = 100 pF zu messen; $t_{RLCLmax}$ und t_{RLSV} sind nur als Bezugspunkte angegeben. Sie stellen keine einschränkende Bedingung dar. Die Zugriffszeit wird durch die drei Zeiten t_{RLOV}, t_{CLOV} und t_{SVOV} bestimmt. Wenn $t_{RLCL} < t_{RLCLmax}$ und $t_{RLSV} < t_{RLSVmax}$, dann gilt t_{RLOV}. Wenn $t_{RLCL} > t_{RLCLmax}$ und $t_{SVCL} < (t_{SVOVmax} - t_{CLOVmax})$, dann gilt t_{SVOV}. Im Fall $t_{RLCL} > t_{RLCLmax}$ und $t_{SVCL} > (t_{SVCVmax} - t_{CLOVmax})$, dann gilt t_{CLOV}.

3) Die Werte für $t_{RLRLmin}$ werden benutzt, um die Zykluszeit anzugeben, bei der die volle Funktion im Temperaturbereich (0 ... 70 °C) gewährleistet wird. Eine Unterschreitung dieses Wertes kann zur Zerstörung des Schaltkreises führen.

4) t_{WLCL}, t_{RLWL}, t_{CLWL} und t_{SVWL} sind keine einschränkenden Betriebswerte. Wenn $t_{WLCL} > t_{WLCLmin}$, dann ist der Zyklus ein Schreibzyklus ($\overline{CAS}$-gesteuert), und der Datenausgang bleibt hochohmig während des gesamten $\overline{CAS}$-Zyklus. Wenn $t_{CLWL} > t_{CLWLmin}$, $t_{RLWL} > t_{RLWLmin}$ und $t_{SVWL} > t_{SVWLmin}$, dann ist der Zyklus ein Lese-Schreib-Zyklus, und der Datenausgang gibt die Information der gelesenen Zeile ab. Wenn keine dieser Bedingungen erfüllt ist, dann ist der Zustand des Datenausgangs (zur Zugriffszeit) unbestimmt, da ein Schreibzyklus ($\overline{WE}$-gesteuert) ausgeführt wird.

5) Diese Kenngrößen beziehen sich auf $\overline{CAS}$ in Schreibzyklen ($\overline{CAS}$-gesteuert) und auf $\overline{WE}$ in Schreib-Zyklen ($\overline{WE}$-gesteuert) oder in Lese-Schreib-Zyklen.

6) Betriebsbedingungen, die nach dem Bild "Lese-Schreib-Zyklus" einzuhalten, jedoch hier nicht aufgeführt sind, entsprechen den Betriebsbedingungen für den Lese- oder Schreibzyklus.

7) Für die hier nicht aufgeführten Kenngrößen gelten die Betriebsbedingungen der entsprechenden Normalbetriebsart.

8) Die Taktung von $\overline{CAS}$ im SSZ ist nur erforderlich, wenn der Datenausgang zwischen dem Auslesen von zwei aufeinanderfolgenden Spaltenadressen hochohmig werden soll.

Kenngrößen

Die Kenngrößen nach folgender Tabelle gelten für die oben genannten Betriebsbedingungen, wenn nicht anders angegeben.
Alle Spannungen sind auf U_{SS} = 0 V (Masse) zu beziehen.

	Kurzzeichen	Typ U 61256 DC	min.	max.	Einheit
Dynamische Stromaufnahme (mittl. Wert bei $\overline{RAS}$-$\overline{CAS}$-Zyklen) $t_{RLRL} = t_{RLRLmin}$	I_{CCO}	08	-	60 1)	mA
		10	-	55 1)	mA
		12	-	50 1)	mA
		15	-	45 1)	mA
Stromaufnahme im Ruhezustand $\overline{RAS} = U_{IH}$ DO hochohmig	I_{CCR}	08/10/12	-	5	mA
		15	-	4	mA
Eingangsleckstrom an einem beliebigen Eingang alle anderen Anschlüsse 0 V; U_I = 0 ... 5,5 V	I_{LI}	alle	-10	10	µA
Ausgangsleckstrom U_O = 0 ... 5,5 V DO hochohmig; $\overline{RAS} = \overline{CAS} = U_{IH}$	I_{LO}	alle	-10	10	µA

Fortsetzung

	Kurzzeichen	Typ U 61256 DC	min.	max.	Einheit
H-Ausgangsspannung $I_O = -4$ mA	U_{OH}	alle	2,4	-	V
L-Ausgangsspannung $I_O = 4$ mA	U_{OL}	alle	-	0,4	V
Zugriffszeit von $\overline{RAS}$ aus	t_{RLOV}	08	-	80	ns
		10	-	100	ns
		12	-	120	ns
		15	-	150	ns
Zugriffszeit von gültiger Spaltenadresse aus	t_{SVOV}	08	-	45	ns
		10	-	55	ns
		12	-	65	ns
		15	-	80	ns
Zugriffszeit von $\overline{CAS}$ aus	t_{CLOV}	08	-	25	ns
		10	-	30	ns
		12	-	35	ns
		15	-	45	ns
Stromaufnahme im Refresh-Zustand $\overline{CAS} = U_{IH}$ $t_{RLR} = t_{RLRmin}$	I_{CCREF}	08	-	50 1)	mA
		10	-	45 1)	mA
		12	-	40 1)	mA
		15	-	35 1)	mA
Stromaufnahme im SSZ-Zustand $\overline{RAS} = U_{IL}$ $t_{SVSV} = t_{SVSVmin}$	I_{CCSSZ}				
Ausgangsabschaltzeit	t_{CHOZ}	alle	0	30 1)	ns
Ausgangsabschaltzeit nach SSZ-Zyklen	t_{RHOZ}	alle	0	30 1)	ns
Datenausgangshaltezeit nach Spaltenadressenwechsel	t_{SXOX}	alle	10	- 1)	ns
Tristatehaltezeit nach SSZ-Eröffnung	t_{RLOX}	alle	10	- 1)	ns
Eingangskapazität (A0 ... A8, DI)	C_{I1}	alle	-	6 1)	pF
Eingangskapazität ($\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$)	C_{I2}	alle	-	7 1)	pF
Ausgangskapazität	C_O	alle	-	7 1)	pF

1) Umgebungstemperatur $\vartheta_a = 25\ ^oC$

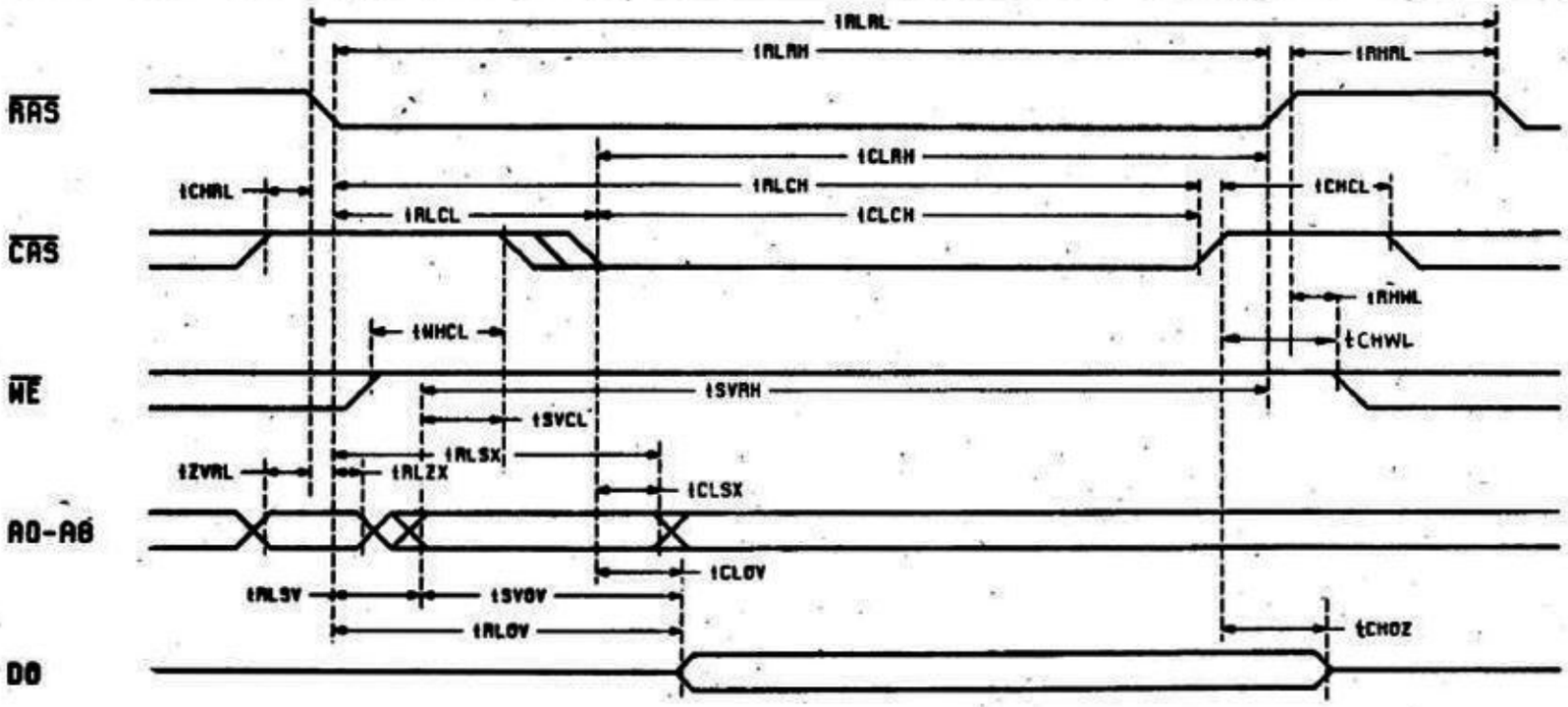

Bild 4: Lesezyklus

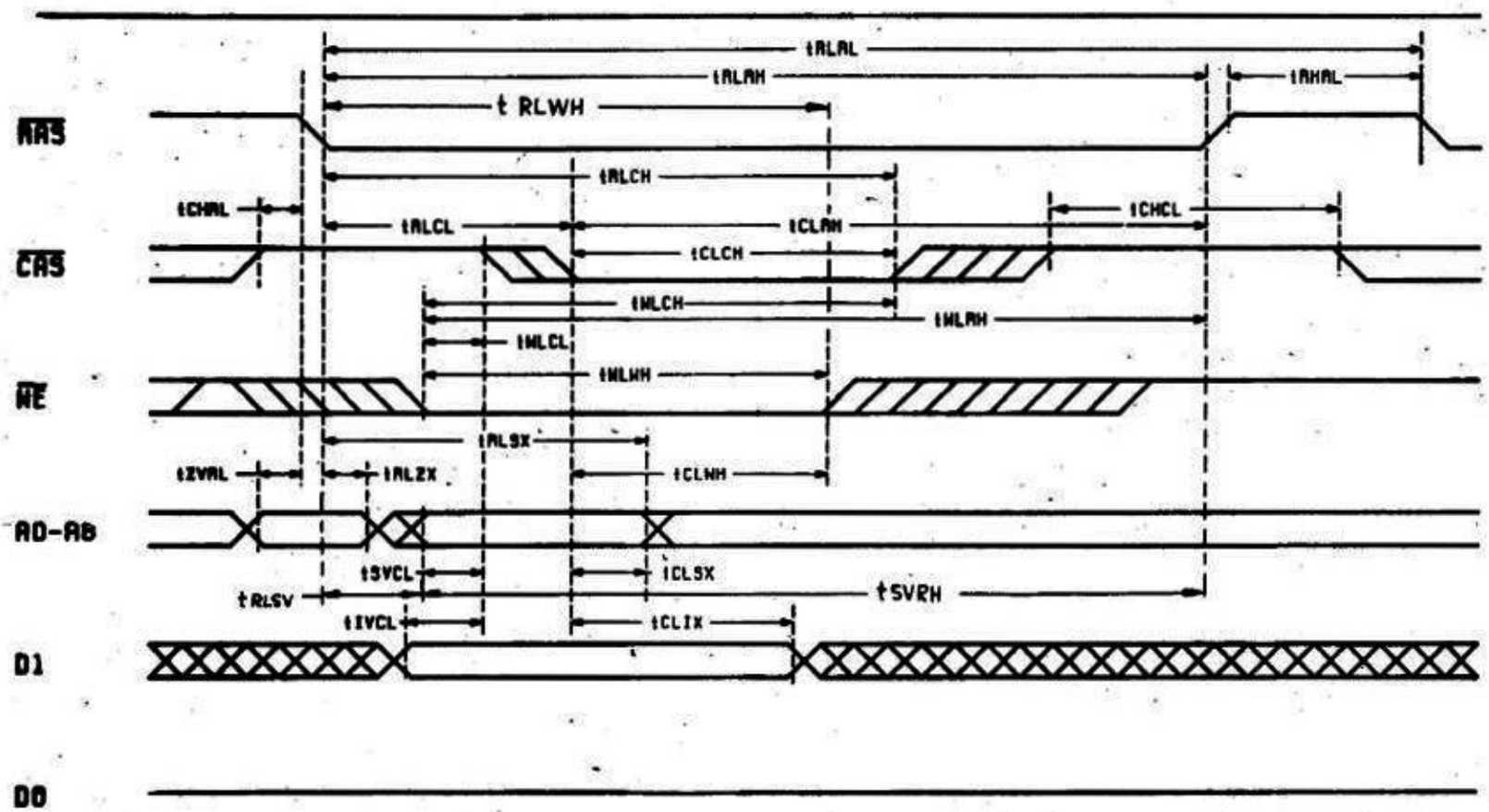

Bild 5: Schreibzyklus ($\overline{CAS}$-gesteuert)

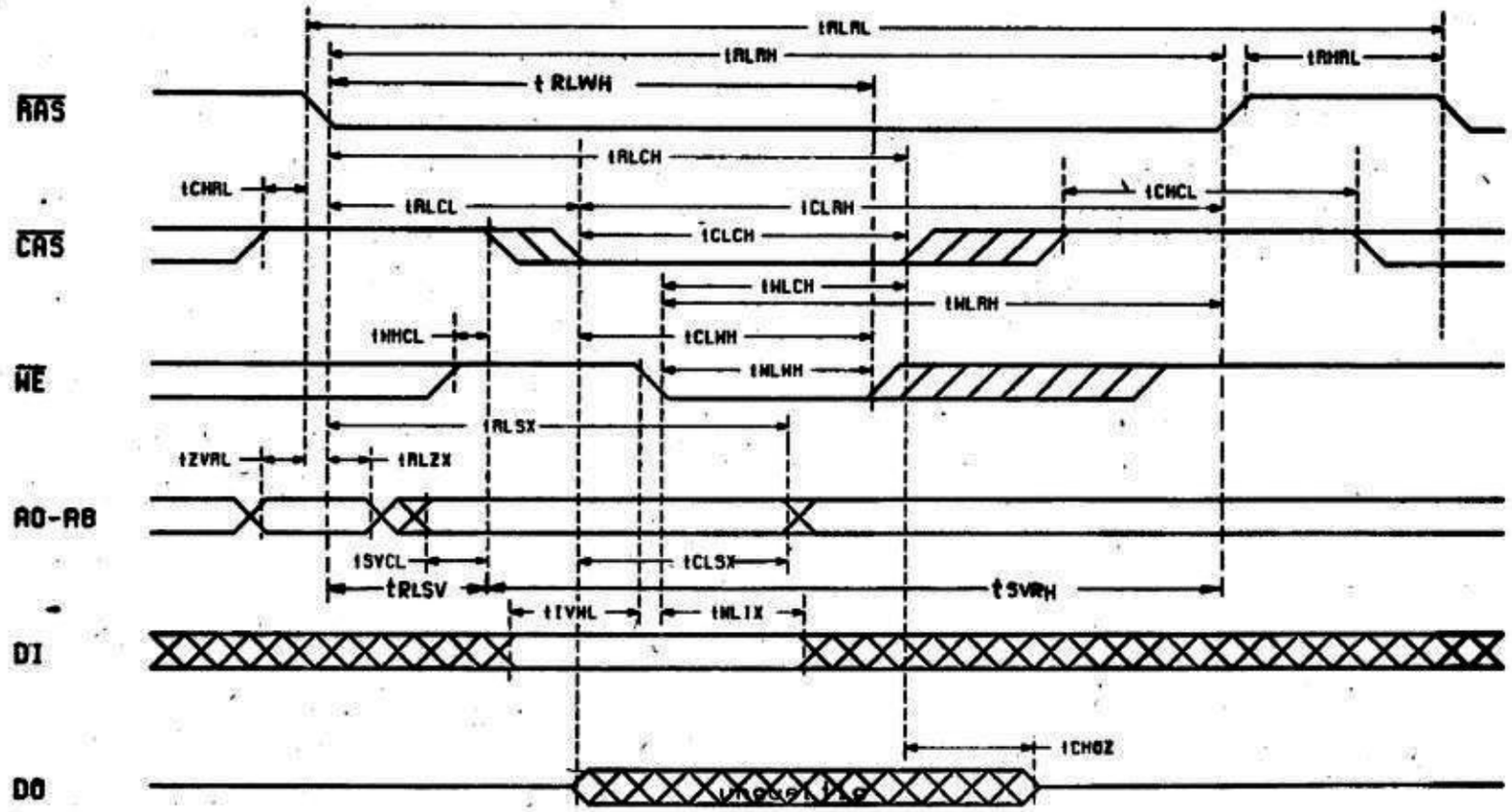

Bild 6: Schreibzyklus ($\overline{WE}$-gesteuert)

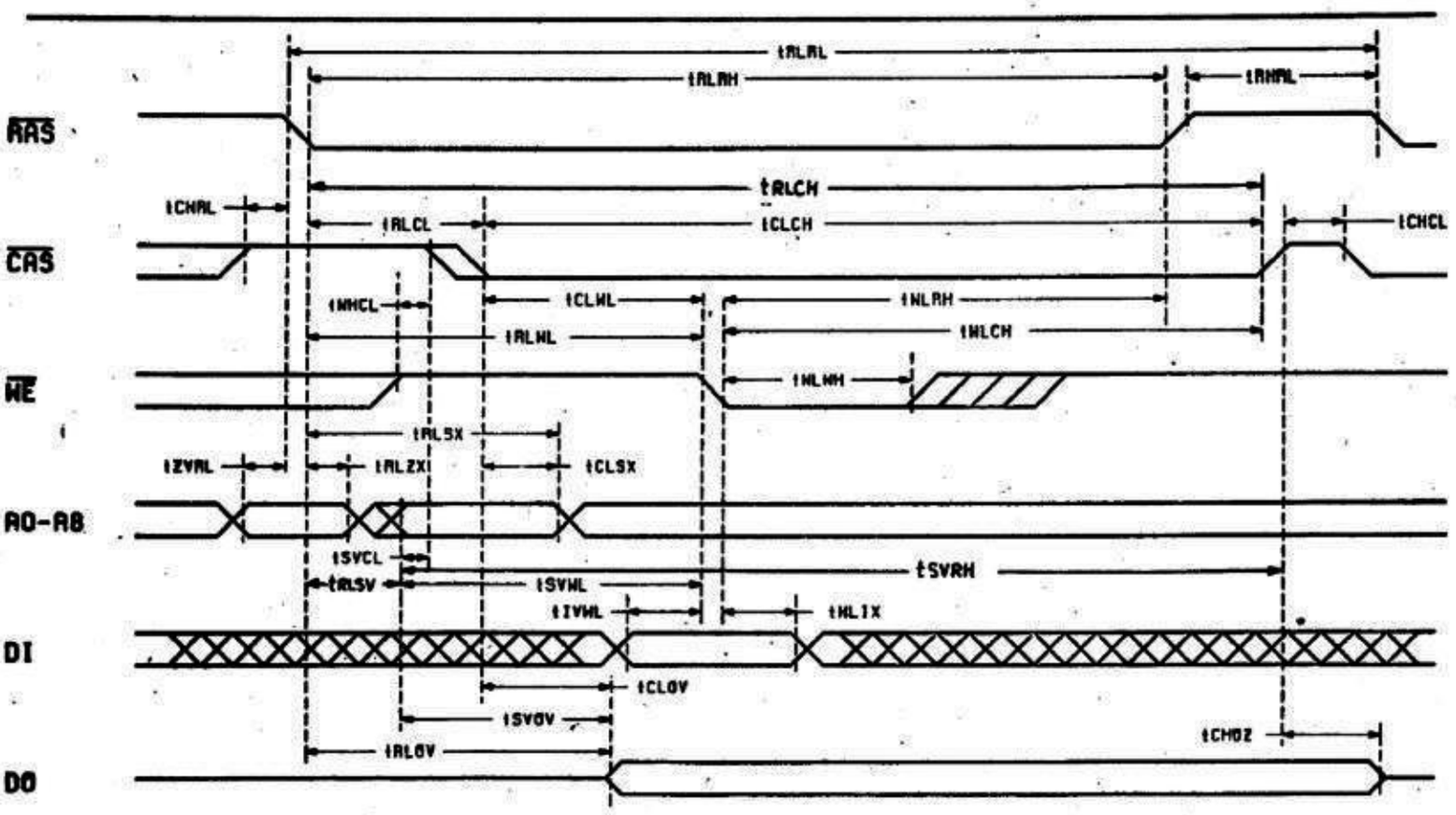

Bild 7: Lese-Schreib-Zyklus

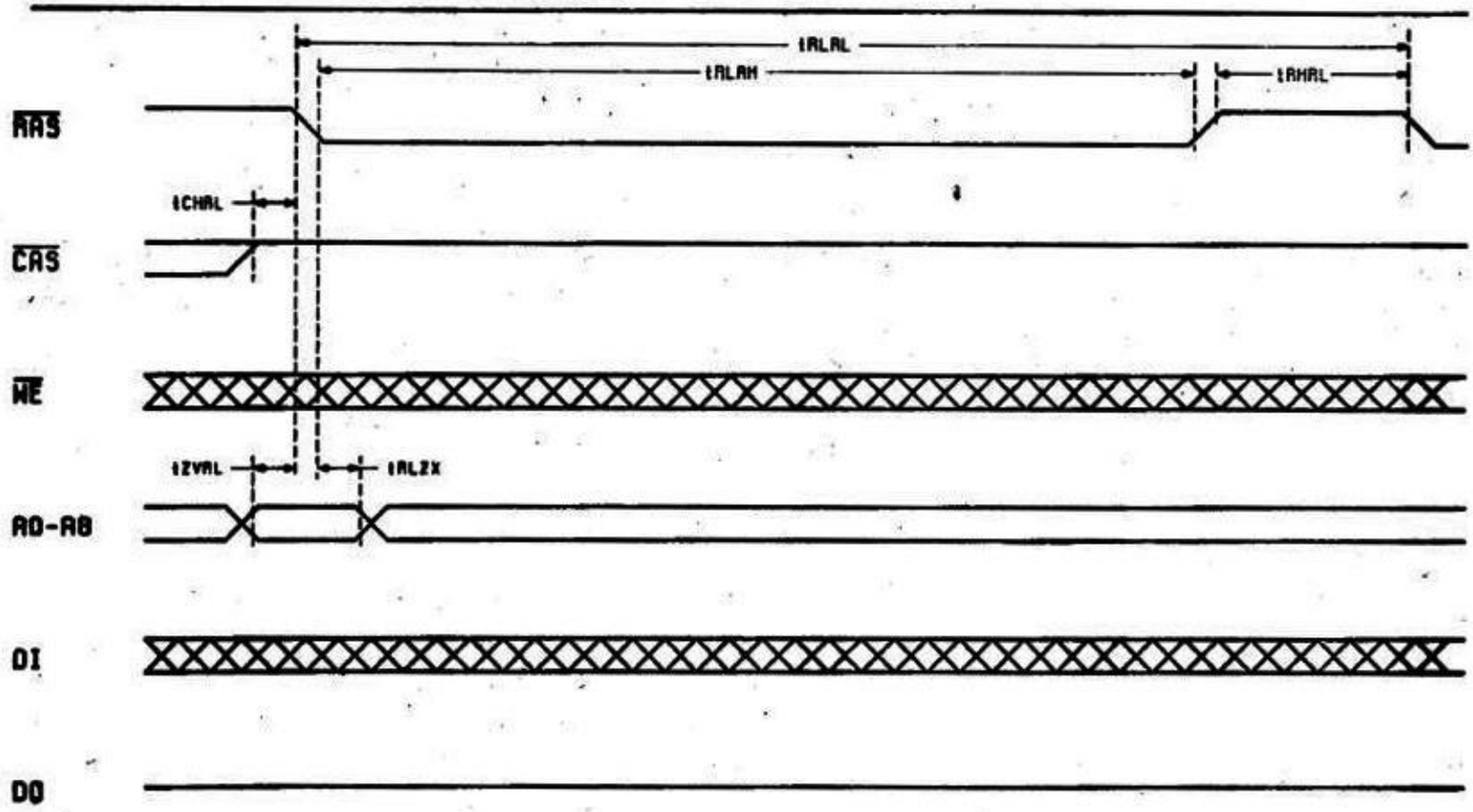

Bild 8: REFRESH-Zyklus

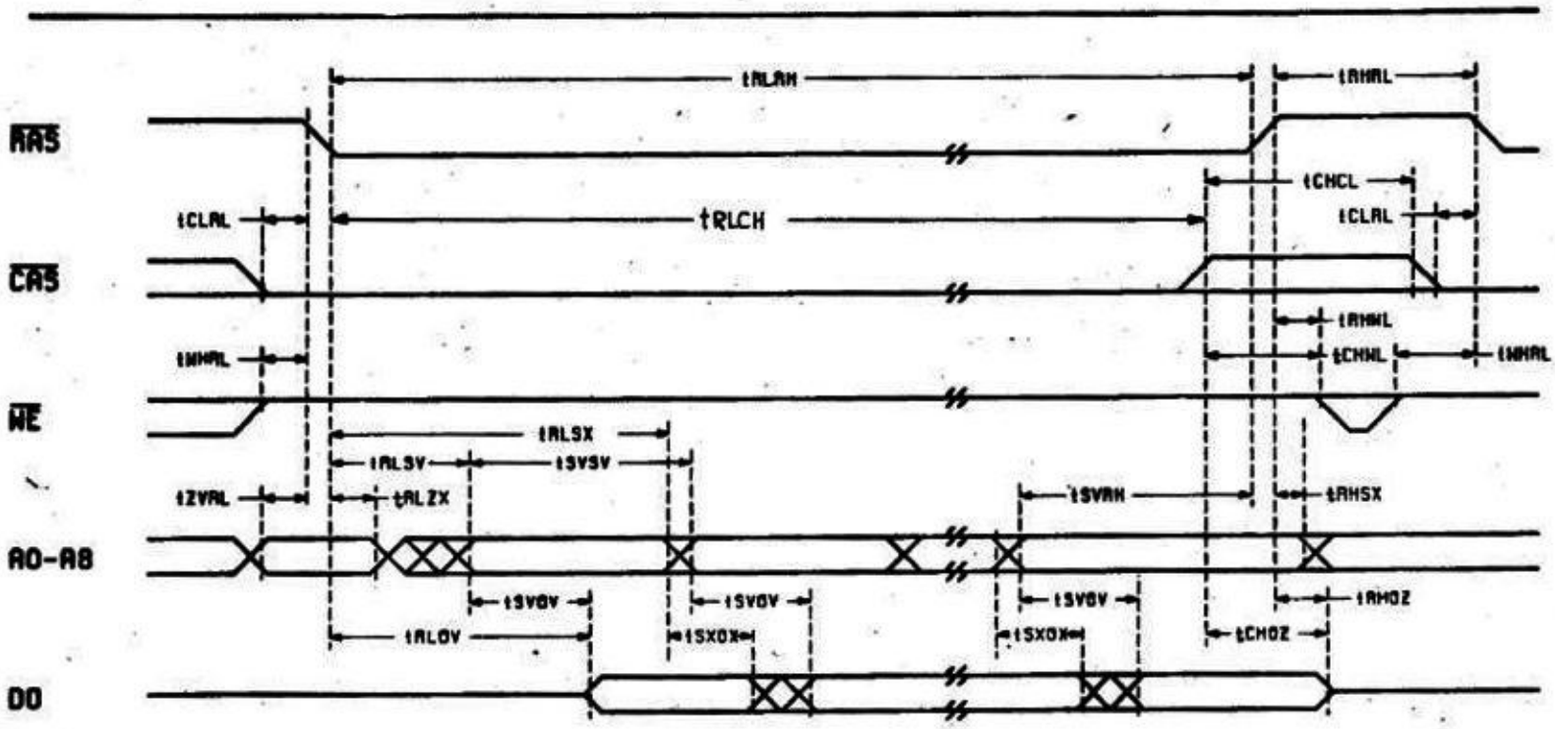

Bild 9: Statischer Seiten-Zugriff (Lesen)

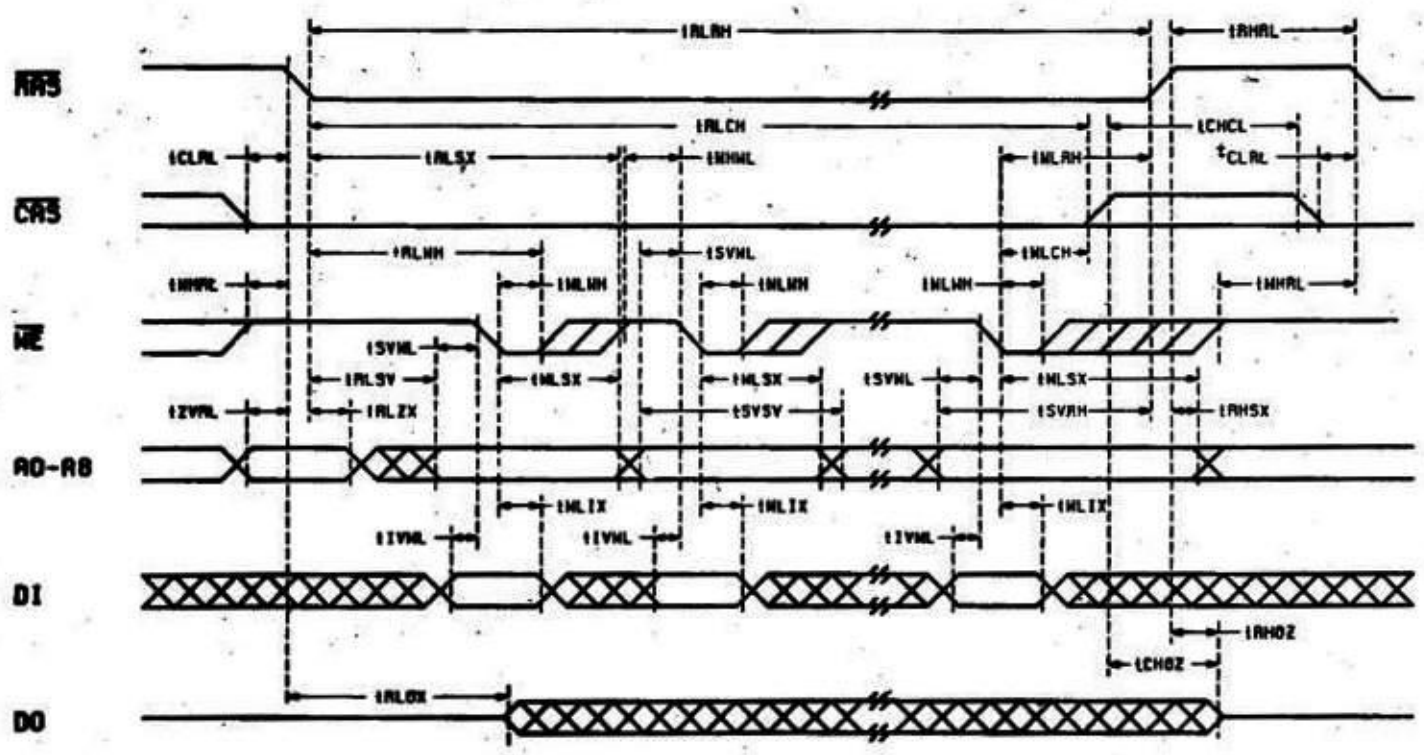

Bild 10: Statischer Seiten-Zugriff (Schreiben)

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik
Mainzer Straße 25
Berlin, 1035
Telefon: 5 80 05 21, Telex: 011 2981 011 3055