

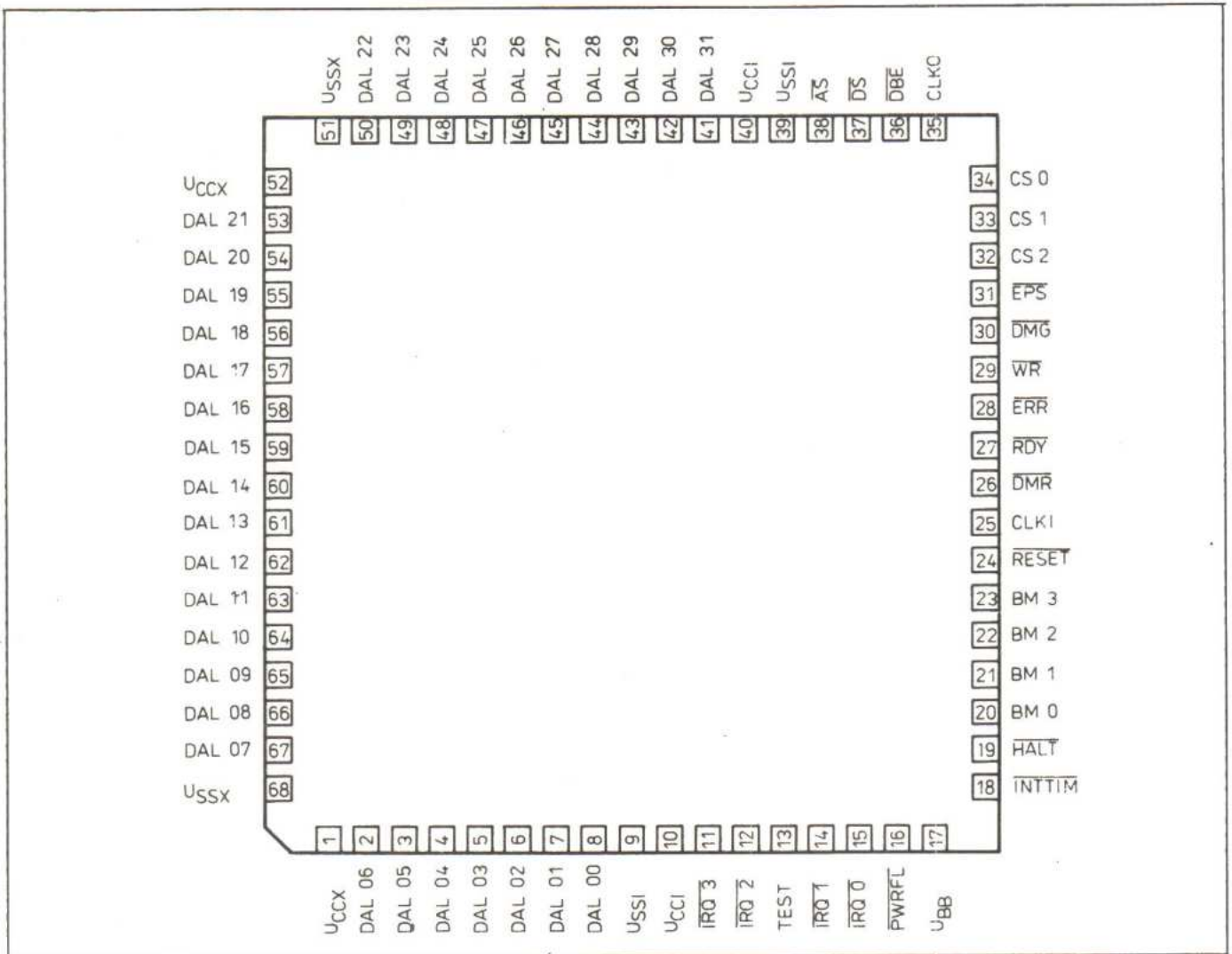
# U 80701 FC 32 Bit-Mikroprozessor

Der U 80701 FC ist ein in nSG-Technologie hergestellter 32 Bit-Mikroprozessor. Er ermöglicht den Aufbau von Rechnern hoher Leistungsfähigkeit. Er ist für Mehrnutzer und Echtzeitanwendungen geeignet.

Der Schaltkreis U 80701 FC ist ein Mikroprozessor mit voller 32 Bit-Architektur, d.h. er besitzt einen externen und internen 32 Bit-Daten-/Adreßbus. Der Einsatz dieses Mikroprozessors zusammen mit den anderen Bausteinen des 32 Bit-Mikroprozessorsystems mit hoher Verarbeitungsgeschwindigkeit (Taktfrequenz 40 MHz) erlaubt den Aufbau von Rechnern mit lokal und global vernetztem Datenaustausch.

## Eigenschaften

- Volle 32 Bit-Architektur
  - \* Realisierung der RVS-Architektur,
  - \* externe und interne 32 Bit-Datenbusse,
  - \* externe und interne 32 Bit-Adressbusse.
- Hohe Verarbeitungsgeschwindigkeit:
  - \* Bei einer Taktfrequenz von 40 MHz wird eine Durchsatzrate von ca. 1 MIPS erreicht.
  - Die ALU liest innerhalb von 200 ns zwei Operanden, führt eine ALU- oder SHIFT-Operation aus und legt das Ergebnis in ein Register ab.
- Großer Adreß-Raum
  - \* 16 MByte physikalischer Speicher,
  - \* 4 GByte virtueller Speicher.
- Integrierte Speicherverwaltungseinheit (MMU) und zwei Adressumsetzpuffer virtuell-physische Adressumsetzung in 25 ns bei Vorhandensein eines gültigen Eintrags im Puffer, einen 512 Byte seitenorientierten Schutzmechanismus sowie eine Verwaltung der Zugriffsrechte (Protection).
- Realisierung von 175 verschiedenen Maschinenbefehlen. Alle Befehle sind orthogonal in ihrer Struktur und lassen für jeden der maximal 6 Operanden alle der 21 verschiedenen Adressenmodi zu.
- Die Abarbeitung der Maschinenbefehle erfolgt mikroprogrammgesteuert. Das Mikroprogramm ist in einem 62,4 kBite ROM auf dem Chip gespeichert. Zur Beschleunigung der Befehlsabarbeitung ist ein acht Byte tiefer prefetch-stack integriert.
- 15 softwaremäßig programmierbare Interruptebenen (software interrupt levels) und 7 Interrupteingänge (hardware interrupt inputs) werden unterstützt.
- Registersatz
  - \* 16; 32 Bite breite allgemeine Register,
  - \* 20 Prozessor- bzw. interne Register
- Integrierter Bulkspannungsgenerator
- Option für Co-Prozessor Anschluss (Floating Point Unit-FPU)

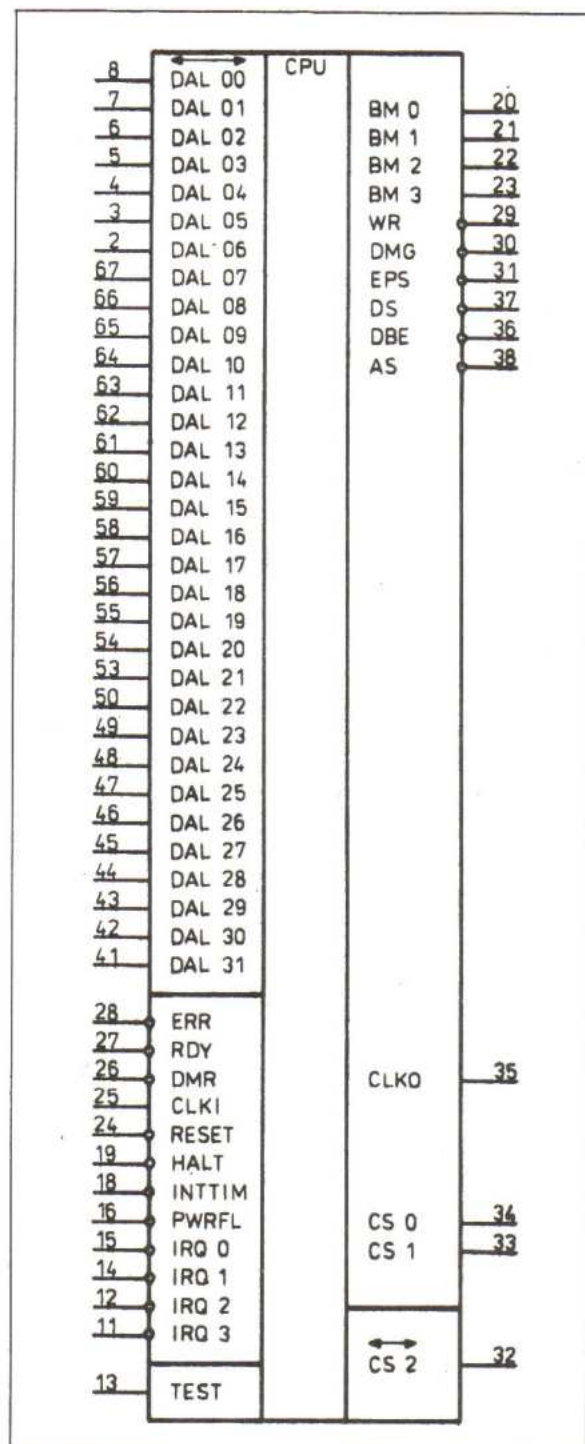


Anschlußbelegung

**Bezeichnung der Anschlüsse**

CLKI	Eingang	Eingangstakt
CLKO	Ausgang	Taktausgabe der Normalfrequenz
$\overline{\text{RESET}}$	Eingang	RESET des Schaltkreises
BM 0 ... BM 3	Ausgänge	Byte-Maske
DAL 00 ... DAL 31	Ein-/Ausgänge, Tristate	Daten-/Adreßbus gemultiplexer, 32 Bit breiter Bus zur Adreß- u. Datenkommunikation
$\overline{\text{AS}}$	Ausgang, Tristate	Adress strobe
$\overline{\text{DS}}$	Ausgang, Tristate	Data strobe
$\overline{\text{DBE}}$	Ausgang, Tristate	Data buffer enable
$\overline{\text{WR}}$	Ausgang, Tristate	Write
$\overline{\text{EPS}}$	Ausgang	External processor strobe
CS 0, CS 1	Ausgänge, Tristate	Bus cycle status
CS 2	Ein-/Ausgang, Tristate	Bus cycle status
$\overline{\text{RDY}}$	Eingang	Ready

$\overline{\text{ERR}}$	Eingang	Error
$\overline{\text{DMR}}$	Eingang	DMA request
$\overline{\text{DMG}}$	Ausgang	DMA grant
$\overline{\text{HALT}}$	Eingang	Halt-Interrupt-Anforderung
$\overline{\text{INTTIM}}$	Eingang	Timer-Interrupt-Anforderung
$\overline{\text{PWRFL}}$	Eingang	Power-Fail-Interrupt-Anforderung
$\overline{\text{IRQ 0}} \dots \overline{\text{IRQ 3}}$	Eingänge	Interrupt-Anforderung für Standard-IO-Interrupts
TEST	Eingang	Testeingang für Bauelementehersteller
$U_{\text{CCX}}$	Betriebsspannung zur Versorgung der Pinlogik d. Daten-/Adreßbusses	
$U_{\text{SSX}}$	Bezugspotential für $U_{\text{CCX}}$	
$U_{\text{CCI}}$	Betriebsspannung für Schaltkreislogik	
$U_{\text{SSI}}$	Bezugspotential für $U_{\text{CCI}}$	
$U_{\text{BB}}$	Bulkspannung, intern generiert	



Schaltzeichen