

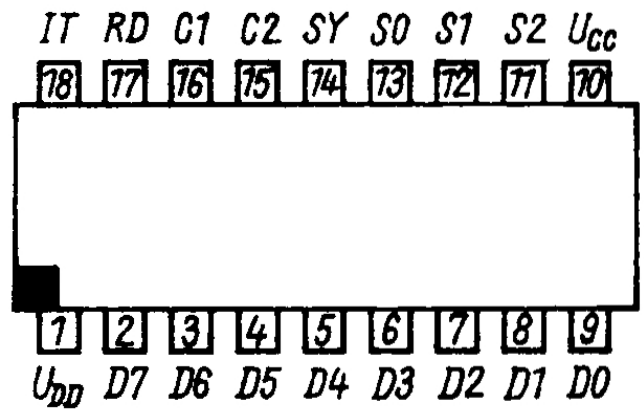
# U 808 D

## Zentrale Verarbeitungseinheit (CPU)

Zentrale Verarbeitungseinheit (CPU) für Mikrorechner in p-Kanal-Silicon-Gate-Technologie.

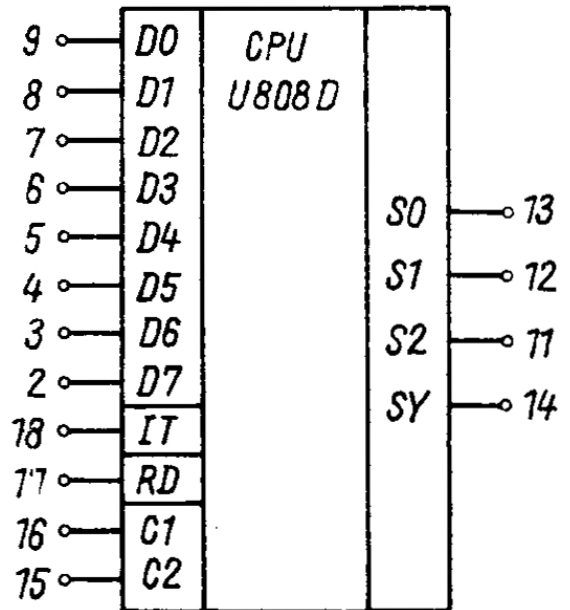
8-Bit-Parallel-CPU auf einem Chip, Basis-Befehlssatz 48 Befehle, maximale Taktfrequenz 500 kHz, typische Befehlsausführungszeit 20  $\mu$ s, TTL-Kompatibilität (Eingänge und Takt), Low-Power-TTL-Kompatibilität (Ausgänge), direkt adressierbare Speicherkapazität 16 k-Worte, beliebige Erweiterung der Speicherkapazität durch programmunterstützten Speicher-Bank-Betrieb, 8-stufiger 14-Bit-Adressen-Stack-Speicher, 7 frei verfügbare Datenregister, INTERRUPT-Möglichkeit

### Bauform 8



### Anschlußbelegung und Schaltungskurzzeichen

1	U <sub>DD</sub>	} Betriebsspannung
2	D7	
3	D6	
4	D5	
5	D4	
6	D3	
7	D2	
8	D1	
9	D0	
10	U <sub>CC</sub>	} Datenbus-Ein-/Ausgang
11	S2	
12	S1	} Betriebsspannung (Bulk)
13	S0	
14	SY	
15	C2	} Status-Ausgang
16	C1	
17	RD	
18	IT	
		} Takteingang
		} INTERRUPT-Eingang



## Grenzwerte

Betriebsspannung	$U_{DD}$	$-20 \dots 0,3 \text{ V}$
Eingangsspannungen	$U_i$	$-20 \dots 0,3 \text{ V}$
Betriebstemperatur	$\vartheta_a$	$0 \dots 70 \text{ }^\circ\text{C}$
Verlustleistung bei $25 \text{ }^\circ\text{C}$	$P_V$	$1 \text{ W}$

## Kennwerte

		min	typ	max
Betriebsspannung	$U_{DD}$	$-9,45$	$-9$	$-8,55 \text{ V}$
	$U_{CC}$	$4,75$	$5$	$5,25 \text{ V}$
Eingangsspannung	$U_{IH}$	$U_{CC} - 1,5$		$U_{CC} + 0,3 \text{ V}$
	$U_{IL}$	$U_{DD}$		$U_{CC} - 4,35 \text{ V}$
Stromaufnahme	$-I_{DD}$		$30$	$60 \text{ mA}$
$-I_{DD} = I_{CC} + I_{last}$				
$ I_{CC}  <  I_{DD} $				
Eingangsstrom	$ I_{IR} $			$10 \mu\text{A}$
bei $U_i = 0 \text{ V}$				
$U_{DD} = -9,45 \text{ V}$				
$U_{CC} = 5,25 \text{ V}$				
Ausgangsspannungen				
bei $I_{OL} = 0,4 \text{ mA}$	$U_{OL}$			$0,4 \text{ V}$
bei $-I_{OH} = 0,2 \text{ mA}$	$U_{OH}$	$2,4$		$\text{V}$
Eingangskapazitäten	$C_i$		$5$	$10 \text{ pF}$
Ausgangskapazitäten	$C_o$		$5$	$10 \text{ pF}$