

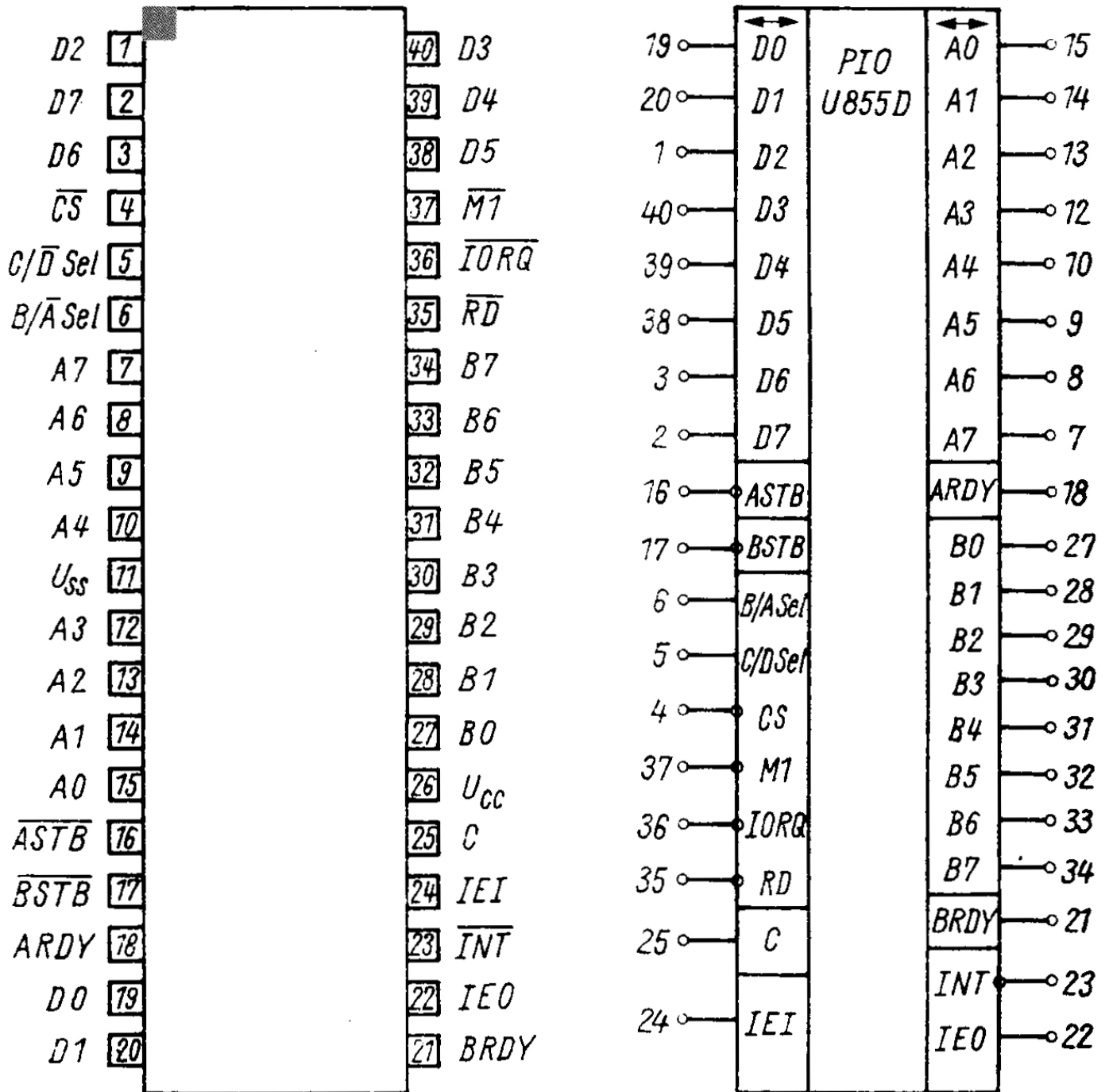
**programmierbare Parallel-Ein-/Ausgabe-Schaltkreise
in n-Kanal-Silicon-Gate-Technologie (PIO)**

- Taktfrequenz: UA 855 D = 4 MHz ($\vartheta_a = 0 \dots 70^\circ\text{C}$)
 UB 855 D = 2,5 MHz ($\vartheta_a = 0 \dots 70^\circ\text{C}$)
 VB 855 D = 2,5 MHz ($\vartheta_a = -25 \dots 85^\circ\text{C}$)
- Durchführung des Datenverkehrs zwischen dem Mikroprozessor und der Peripherie
- 2 TTL – kompatible Kanäle (Ports)
- zwei 8-bit-bidirektionale Ports mit Einrichtungen für Quittungsbetrieb („handshaking“)
- Interruptmöglichkeit im Quittungsbetrieb für schnelle Anforderungsbearbeitung;
- Betriebsarten:
 - Byte-Ausgabe (Betriebsart 0)
 - Byte-Eingabe (Betriebsart 1)
 - Byte-Ein-/Ausgabe (bidirektionaler Betrieb, nur für Port A möglich) (Betriebsart 2)
 - Bit-Ein-/Ausgabe (Betriebsart 3)
- alle Ein- und Ausgänge TTL-kompatibel
- Prioritätslogik durch Kaskadierung der Bausteine

Anschlußbelegung

D0 . . . D7	CPU-Datenbus, Ein-/Ausgänge
$\overline{\text{CS}}$	Eingang Chip select
C/$\overline{\text{D}}$ Sel	Eingang Steuer- oder Datenwortauswahl
B/$\overline{\text{A}}$ Sel	Eingang Kanalauswahl
A0 . . . A7	Kanal A Ein-/Ausgänge
U_{SS}	Bezugspotential
$\overline{\text{ASTB}}$	Eingang Kanal A-Strobe-Impuls von peripheren Geräten
$\overline{\text{BSTB}}$	Eingang Kanal B-Strobe-Impuls von peripheren Geräten
ARDY	Ausgang Quittung A
BRDY	Ausgang Quittung B
IEO	Interrupt-Freigabe-Ausgang
$\overline{\text{INT}}$	Ausgang Interrupt-Anforderung
IEI	Interrupt-Freigabe-Eingang
C	Takteingang
U_{CC}	Betriebsspannung
B0 . . . B7	Kanal B Ein-/Ausgänge
$\overline{\text{RD}}$	Eingang CPU-Leseanforderung
$\overline{\text{IORQ}}$	Eingang CPU-Ein-/Ausgabe-Anforderung
$\overline{\text{M1}}$	Eingang CPU-Maschinenzyklus M1

Bauform 14



Anschlußbelegung und Schaltungskurzzeichen

Grenzwerte (Bezugspotential $U_{SS} = 0\text{ V}$)

		min	max	
Betriebsspannung	U_{CC}	- 0,5	7	V
Eingangsspannung	U_i	- 0,5	7	V
Lagerungstemperatur	ϑ_{stg}	- 55	125	°C
Verlustleistung ($\vartheta_a = 25\text{ °C}$)	P_v		1,1	W

Statische Kennwerte ($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{SS} = 0 \text{ V}$)

		min	max	
Betriebsspannung	U_{CC}	4,75	5,25	V
Eingangsspannung LOW	U_{IL}	-0,5	0,8	V
Eingangsspannung HIGH	U_{IH}	2	U_{CC}	V
Takteingangsspannung LOW	U_{ILC}	-0,5	0,45	V
Takteingangsspannung HIGH	U_{IHC}	$U_{CC} - 0,2$	U_{CC}	V

Dynamische Kennwerte ($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{SS} = 0 \text{ V}$)

Taktperiode (UA 855 D)	t_c	250	4 000	ns
High-Breite des Taktes	$t_w(\text{CH})$	110	2 000	ns
Low-Breite des Taktes	$t_w(\text{CL})$	110	2 000	ns
Anstiegs- und Abfallzeiten des Taktes	t_r, t_f		30	ns
Taktperiode (UB 855 D, VB 855 D)	t_c	0,4	1)	μs
High-Breite des Taktes	$t_w(\text{CH})$	180	2 000	ns
Low-Breite des Taktes	$t_w(\text{CL})$	180	2 000	ns
Anstiegs- und Abfallzeiten des Taktes	t_r, t_f		30	ns

1) $t_c = t_w(\text{CH}) + t_w(\text{CL}) + t_r + t_f$