

UA 880 D · UB 880 D · VB 880 D



8-Bit-Mikroprozessoren in n-Kanal-Silicon-Gate-Technologie (CPU)

158 Befehle umfassender Befehlssatz mit 16-, 8-, 4- und Einzel-Bit-Instruktion sowie zusätzliche Adressierweisen

(indizierte, relative und Bitadressierung)

- Taktfrequenz: UA 880 D = 4 MHz ($\vartheta_a = 0 \dots 70^\circ\text{C}$)
UB 880 D = 2,5 MHz ($\vartheta_a = 0 \dots 70^\circ\text{C}$)
VB 880 D = 2,5 MHz ($\vartheta_a = -25 \dots 85^\circ\text{C}$)
- typische Befehlsausführungszeit von 1,6 μs
- maximale Taktfrequenz von 2,5 MHz
- 3 schnelle Interrupt-Behandlungsarten und ein zusätzlicher, nicht maskenprogrammierbarer Interrupt
- 21 interne Register
- Einphasentakt und nur eine Betriebsspannung von 5 V
- direkter Anschluß von dynamischen und statischen Standard-Speicherchips ohne zusätzlichen Bauelementeaufwand möglich
- integrierte dynamische Refresh-Hardware
- die Eingänge sind voll TTL-kompatibel, die Ausgänge können eine Standard-TTL-Last treiben

A 0 . . . A 15 16-Bit-Adressbus

D 0 . . . D 7 8-Bit-bidirektionaler Datenbus

$\overline{\text{M}}1$	Maschinenzyklus 1
$\overline{\text{MREQ}}$	Speicheranforderung
$\overline{\text{IORQ}}$	E/A-Anforderung
$\overline{\text{RD}}$	Lesen
$\overline{\text{WR}}$	Schreiben
$\overline{\text{RFSH}}$	Auffrischen der Information
$\overline{\text{HALT}}$	Halt-Zustand
$\overline{\text{WAIT}}$	Warte-Signal
$\overline{\text{INT}}$	Maskierter Interrupt-Eingang
$\overline{\text{NMI}}$	nichtmaskierbarer Interrupt
$\overline{\text{RESET}}$	Rückstelleingang
$\overline{\text{BUSRQ}}$	Bus-Anforderung
$\overline{\text{BUSAK}}$	Bus-Anforderungsbestätigung

Statische Kennwerte ($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$,
 $U_{SS} = 0 \text{ V}$)

		Meß- bedingungen		min	max	
Eingangsspannung	LOW	U_{IL}		-0,5	0,8	V
Eingangsspannung	HIGH	U_{IH}		2,0	U_{CC}	V
Ausgangsspannung	LOW	U_{OL}	$I_{OL} = 1,8 \text{ mA}$		0,4	V
Ausgangsspannung	HIGH	U_{OH}	$I_{OH} = -100 \text{ } \mu\text{A}$	2,4		V
Stromaufnahme		I_{CC}	$t_c = 400 \text{ ns}$		200	mA
Eingangsreststrom		I_{II}	$U_I = 0 \text{ V} \dots U_{CC}$		10	μA
Taktkapazität		C_C	$\vartheta_a = 25 \text{ }^\circ\text{C}$		50	pF
Eingangskapazität		C_I			5	pF
Takteingangsspannung	LOW	U_{ILC}		-0,5	0,45	V
Takteingangsspannung	HIGH	U_{IHC}		$U_{CC}-0,2$	U_{CC}	
Ausgangskapazität		C_O	$f = 1 \text{ MHz}$ $\vartheta_a = 25 \text{ }^\circ\text{C}$		10	pF

Dynamische Kennwerte ($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$,
 $U_{SS} = 0 \text{ V}$)

			min	max	
UA 880 D					
Taktperiode		t_c	250	4 000	ns
High-Breite des Taktes		$t_w(\text{CH})$	110	2 000	ns
Low-Breite des Taktes		$t_w(\text{CL})$	110	2 000	ns
Anstiegs- und Abfallzeit des Taktes		t_r, t_f		30	ns
UB 880 D, VB 880 D					
Taktperiode		t_c	400	1)	ns
High-Breite des Taktes		$t_w(\text{CH})$	180	2 000	ns
Low-Breite des Taktes		$t_w(\text{CL})$	180	2 000	ns
Anstiegs- und Abfall- zeit des Taktes		t_r, t_f		30	ns

1) $t_c = t_w(\text{CH}) + t_w(\text{CL}) + t_r + t_f$