

DL 164 D

Vergleichstyp: **SN 74 LS 164 N**

8-bit-Schieberegister

Vorläufige technische Daten

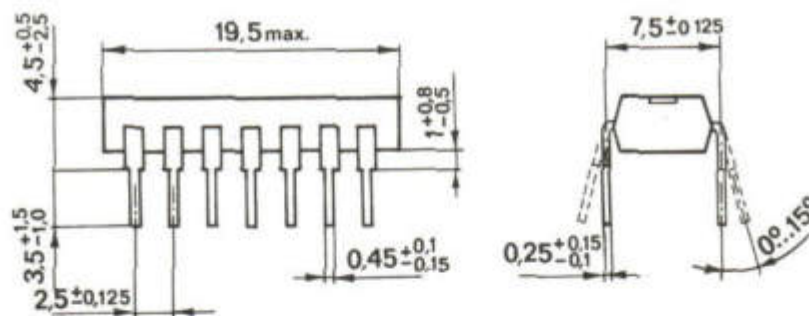
Gehäuse: 14poliges DIL-Plastgehäuse

Rastermaß: $2,5 \pm 0,125$ mm

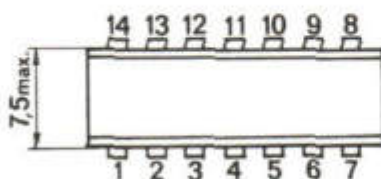
Bauform: 21.2.1.2.14 nach TGL 26 713

Reihenabstand: 7,5 mm

Masse: $\leq 1,5$ g



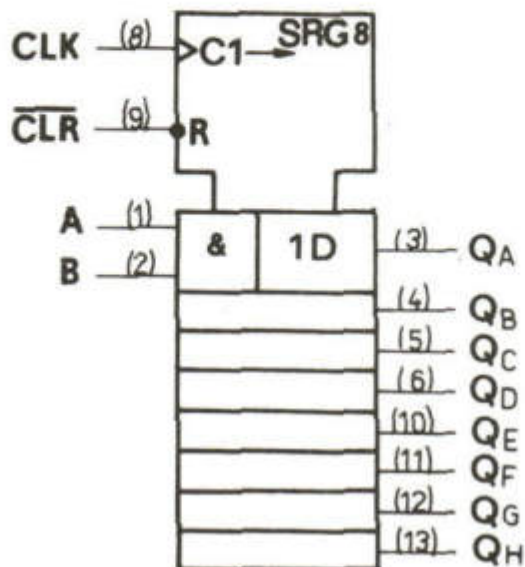
21.2.1.2.14 TGL 26713



Pinbelegung:

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	A	serielle Eingänge	8	CLK	Takteingang
2	B		9	$\overline{\text{CLR}}$	Rücksetzeingang $\overline{\text{CLR}}$
3	Q _A	Ausgang	10	Q _E	Ausgang
4	Q _B	Ausgang	11	Q _F	Ausgang
5	Q _C	Ausgang	12	Q _G	Ausgang
6	Q _D	Ausgang	13	Q _H	Ausgang
7	M	Masse	14	U _{CC}	Betriebsspannung

Logikschaltbild:



L 164 A 1 E 85

Der Schaltkreis DL 164 D ist ein 8-bit seriell-EIN/parallel-AUS Schieberegister. Die seriellen Daten werden durch ein UND-Gatter mit 2 Eingängen (A u. B) synchron mit der Low/High-Flanke des Taktes übernommen. Mit dem Rücksetzeingang $\overline{\text{CLR}}$ können unabhängig vom Takt alle Registerausgänge nach Low geschaltet werden. Das Schieberegister eignet sich für Serien-Parallel-Umsetzung bis zu einer maximalen Taktfrequenz von 25 MHz.

Funktionstabelle:

Eingänge				Ausgänge		
$\overline{\text{CLR}}$	CLK	A	B	Q_A	$Q_B \dots$	Q_H
L	X	X	X	L	L	L
H	L	X	X	Q_{AO}	Q_{BO}	Q_{HO}
H	$\uparrow$	H	H	H	Q_{An}	Q_{Gn}
H	$\uparrow$	L	X	L	Q_{An}	Q_{Gn}
H	$\uparrow$	X	L	L	Q_{An}	Q_{Gn}

H $\triangleq$ High-Pegel

L $\triangleq$ Low-Pegel

X $\triangleq$ beliebiger Pegel (Low oder High)

$\uparrow$ $\triangleq$ Low-High-Flanke

Q_{AO}, Q_{BO}, Q_{HO} = Pegel von Q_A, Q_B bzw. Q_H , bevor die statischen Eingangsbedingungen angelegt werden.

Q_{An}, Q_{Gn} = Pegel von Q_A bis Q_G vor der letzten Schaltflanke an CLK.

Grenzwerte:

		min.	max.	
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung	U_I	–	7	V

Betriebsbedingungen (gültig für den Betriebstemperaturbereich):

		min.	max.	
Betriebsspannung	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	–	0,8	V
H-Eingangsspannung	U_{IH}	2	–	V
L-Ausgangsstrom	I_{OL}	–	8	mA
H-Ausgangsstrom	$-I_{OH}$	–	0,4	mA
Impulsdauer $\overline{\text{CLR}}, \text{CLK}$	t_w	20	–	ns
Haltezeit CLK A, B	t_h	5	–	ns
Voreinstellzeit A, B, CLK	t_{su}	15	–	ns
Umgebungstemperatur	ϑ_a	0	70	°C
max. Taktfrequenz	f_{max}	–	25	ns

Statische Kennwerte (bei $U_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}$; $\vartheta_a = 0$ bis 70°C):

		min.	max.	
Stromaufnahme $U_{CC} = 5,25 \text{ V}^1)$	I_{CC}	—	27	mA
Ausgangskurzschlußstrom $U_{CC} = 5,25 \text{ V}^2)$	$-I_{OS}$	20	100	mA
H-Ausgangsspannung $U_{CC} = 4,75 \text{ V}$	U_{OL}			
$I_{OL} = 4 \text{ mA}$		—	0,4	V
$I_{OL} = 8 \text{ mA}$		—	0,5	V
H-Eingangsstrom $U_{CC} = 5,25 \text{ V}$	I_{IH}			
$U_{IH} = 2,7 \text{ V}$		—	20	μA
$U_{IH} = 7 \text{ V}$		—	100	μA
L-Eingangsstrom $U_{CC} = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$	$-I_{IL}$	—	360	μA
Clampingspannung der Eingangsdiode $U_{CC} = 4,75 \text{ V}; -I_I = 18 \text{ mA}$	$-U_I$	—	1,5	V

1) Eingänge A und B auf 0 V, CLK auf 4,5 V, $\overline{\text{CLR}}$ kurzzeitig auf 0 V und anschließend auf 4,5 V legen; Ausgänge offen.

2) zulässige Prüfzeit $\leq 1 \text{ s}$, Kurzschluß nur an einem Ausgang zulässig.

Dynamische Kennwerte: ($U_{CC} = 5,0 \text{ V} \pm 55 \text{ mV}$; $\vartheta_a = 0$ bis 70°C)

		min.	max.	
Signalverzögerungszeiten $U_{CC} = 5 \text{ V}$	$\overline{\text{CLR}} \quad Q$			
	CLK Q			
	t_{pHL}	—	36	ns
	t_{pLH}	—	27	ns
	t_{pHL}	—	32	ns

Bestellbezeichnung: Integrierter Schaltkreis DL 164 D.

Änderungen, dem technischen Fortschritt entsprechend, behalten wir uns vor.
Sollten beim Einsatz der Bauelemente Fragen auftreten, wenden Sie sich an uns.
Ein erfahrenes Ingenieurkollektiv hilft Ihnen, Problemlösungen zu finden.

Ag 05/021/86



veb halbleiterwerk frankfurt/oder
im veb kombinat mikroelektronik
DDR 1200 Frankfurt/Oder – Telefon 4 60



**elektronik
export·import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Haus der Elektroindustrie