

DL 259 D

Vergleichstyp: **SN 74 LS 259 N**

Adressierbares 8 bit-Latch mit Enable und Clear

Vorläufige technische Daten

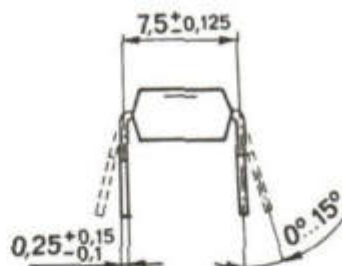
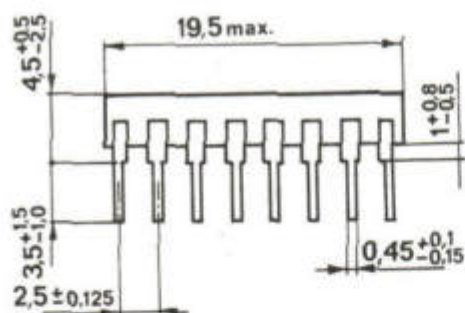
Gehäuse: 16poliges DIL-Plastgehäuse

Rastermaß: $2,5 \pm 0,125$ mm

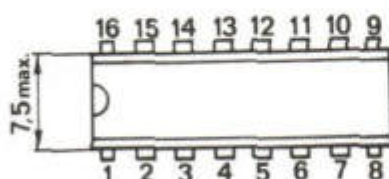
Bauform: 21.1.1.2.16 nach TGL 26 713

Reihenabstand: 7,5 mm

Masse: $\leq 1,5$ g



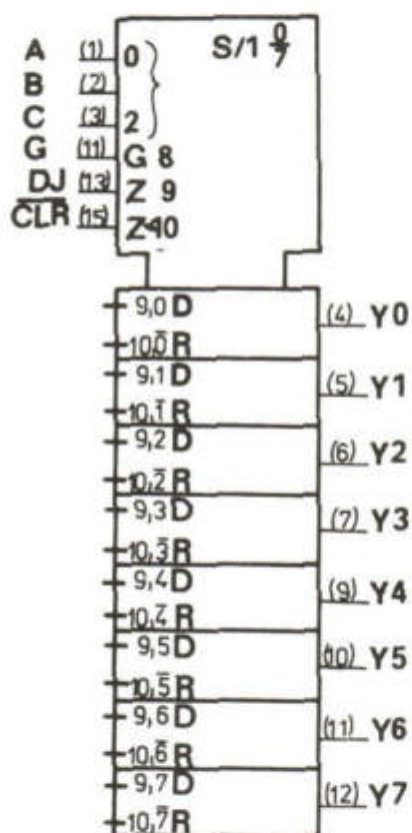
21.1.1.2.16 TGL 26713



Pinbelegung:

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	A	Adresseingang	9	y4	Ausgang
2	B	Adresseingang	10	y5	Ausgang
3	C	Adresseingang	11	y6	Ausgang
4	y0	Ausgang	12	y7	Ausgang
5	y1	Ausgang	13	DI	Dateneingang
6	y2	Ausgang	14	$\bar{G}$	Enable-Eingang
7	y3	Ausgang	15	$\overline{CLR}$	Clear-Eingang
8	M	Masse	16	U _{CC}	Betriebsspannung

Logikschaltbild:



Der Schaltkreis DL 259 D enthält acht adressierbare Latches, die mit Hilfe der Adress-eingänge A, B, C angewählt werden können. Die Arbeitsweise des Schaltkreises wird durch die Eingänge Clear und Enable entsprechend der Funktionstabelle gesteuert.

In der Arbeitsweise „Latch adressierbar“ wird der Pegel am Dateneingang in das adressierbare Latch übernommen, während alle übrigen Latches im Zustand „Speichern“ sind. Um die Möglichkeit der Übernahme fehlerhafter Informationen in die Latches auszuschließen, sollte der Enable-Eingang $\bar{G}$ während der Adressierung auf „H“ (inaktiv) liegen.

In der Arbeitsweise „Speichern“ behalten alle Ausgänge den entsprechenden Pegel, unabhängig vom Pegel am Dateneingang oder an den Adress-Eingängen. In der Arbeitsweise „1 aus 8 Dekoder“ folgt der adressierte Ausgang dem Signal am Dateneingang, während die übrigen Ausgänge auf „Low“ liegen.

Im Clear-Zustand sind alle Ausgänge „Low“, unabhängig von der Belegung des Dateneinganges und der Adresseingänge.

Funktionstabelle:

Eingänge CLR	$\bar{G}$	Ausgang des adressierten Latches	übrige Ausgänge	Funktion
H	L	D	Q_o	Latch adressierbar
H	H	Q_o	Q_o	Speichern
L	L	D	L	1 aus 8 Dekoder
L	H	L	L	Clear

H = High-Pegel

L = Low-Pegel

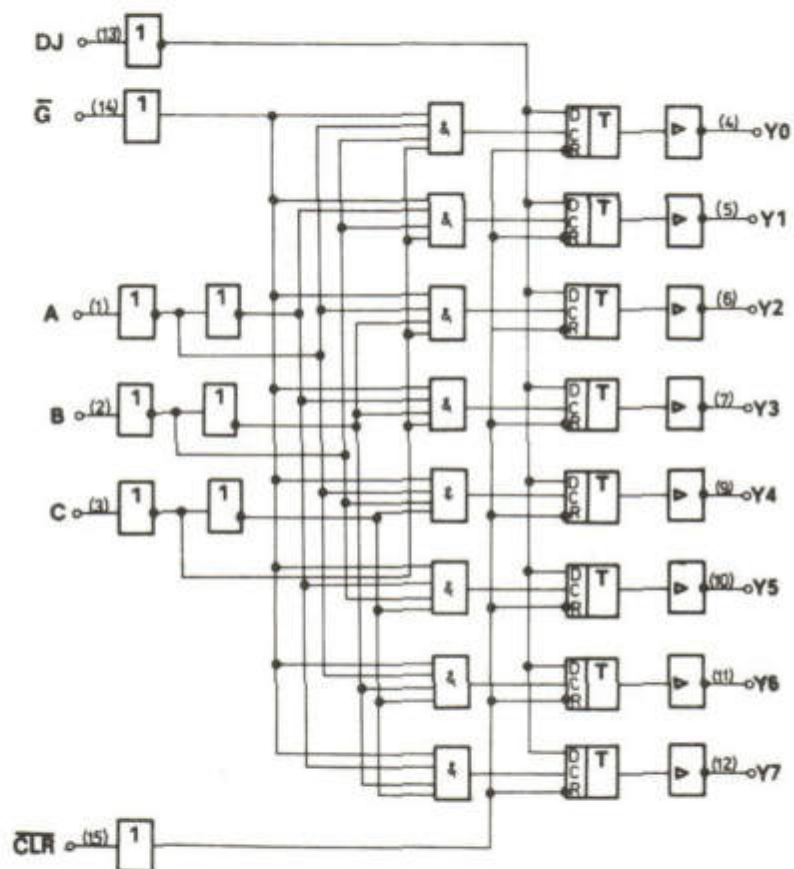
D = Pegel des Dateneinganges

Q_o = Pegel des entsprechenden Ausgangs vor dem Einstellen der anliegenden Eingangspegel

Latch-Adressierung:

Adresseingänge			adressiertes Latch
C	B	A	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7

Blockschaltbild:



Grenzwerte (gültig für den Betriebstemperaturbereich):

		min.	max.	
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung	U_I	–	7	V

Betriebsbedingungen:

Betriebsspannung	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	–	0,8	V
H-Eingangsspannung	U_{IH}	2	–	V
L-Ausgangsstrom	I_{OL}	–	8	mA
H-Ausgangsstrom	$-I_{OH}$	–	0,4	mA
Umgebungstemperatur	ϑ_a	0	70	°C
Voreinstellzeit	t_{su}			
DI, A, B, C ¹⁾		15	–	ns
Haltezeit DI, A, B, C ¹⁾	t_h	0	–	ns
Impulsdauer $\overline{CLR}$, G	t_w	15	–	ns

¹⁾ Als Bezugsflanke gilt die L-H-Flanke des Enable-Impulses

Statische Kennwerte ($U_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}$; $\vartheta_a = 0 \text{ bis } 70 \text{ °C}$)

		min.	max.	
Stromaufnahme	I_{CC}			
$U_{CC} = 5,25 \text{ V}^1)$		–	36	mA
Ausgangskurzschlußstrom	$-I_{SO}$			
$U_{CC} = 5,25 \text{ V}^2)$		20	100	mA
H-Ausgangsspannung	U_{OH}			
$U_{CC} = 4,75 \text{ V}$; $-I_{OH} = 0,4 \text{ mA}$		2,7	–	V
L-Ausgangsspannung	U_{OL}			
$U_{CC} = 4,75 \text{ V}$; $I_{OL} = 4 \text{ mA}$		–	0,4	V
$I_{OL} = 8 \text{ mA}$		–	0,5	V
H-Eingangsstrom	I_{IH}			
$U_{CC} = 5,25 \text{ V}$; $U_{IH} = 7 \text{ V}$		–	100	μA
$U_{IH} = 2,7 \text{ V}$		–	20	μA
L-Eingangsstrom	$-I_{IL}$			
$U_{CC} = 5,25 \text{ V}$, $U_{IL} = 0,4 \text{ V}$		–	0,36	μA
Clampingspannung der Eingangsdiode	$-U_I$			
$U_{CC} = 4,75 \text{ V}$; $-I_I = 18 \text{ mA}$		–	1,5	V

¹⁾ Eingänge auf 0 V, Ausgänge offen

²⁾ zulässige Prüfzeit $\leq 1 \text{ s}$, Kurzschluß nur an einem Ausgang zulässig.

Dynamische Kennwerte ($U_{CC} = 5,0 \text{ V} \pm 55 \text{ mV}$; $\vartheta_a = 25^\circ\text{C} - 5\text{K}$):

		min.	max.	
Signalverzögerungszeit $U_{CC} = 5 \text{ V}$	$\overline{\text{CLR}} \rightarrow Y$	t_{pHL}	—	27 ns
	$DI \rightarrow Y$	t_{pLH}	—	32 ns
	$DI \rightarrow Y$	t_{pHL}	—	21 ns
	$A, B, C \rightarrow Y$	t_{pLH}	—	38 ns
	$A, B, C \rightarrow Y$	t_{pHL}	—	29 ns
	$\overline{G} \rightarrow Y$	t_{pLH}	—	35 ns
	$\overline{G} \rightarrow Y$	t_{pHL}	—	24 ns

Bestellbezeichnung: Integrierter Schaltkreis DL 259 D.

Änderungen, dem technischen Fortschritt entsprechend, behalten wir uns vor.
Sollten beim Einsatz der Bauelemente Fragen auftreten, wenden Sie sich an uns.
Ein erfahrenes Ingenieurkollektiv hilft Ihnen, Problemlösungen zu finden.

Ag 05/021/86

RFT



veb halbleiterwerk frankfurt/oder
im veb kombinat mikroelektronik
DDR 1200 Frankfurt/Oder – Telefon 4 60

**elektronik
export-import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Haus der Elektroindustrie