

Information



DL 299 D

Vergleichstyp: **SN 74 LS 299 N**

8 bit-Universalschieberegister

Vorläufige technische Daten

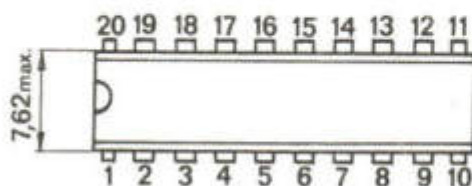
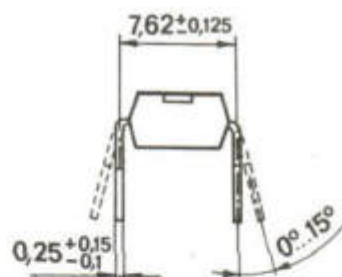
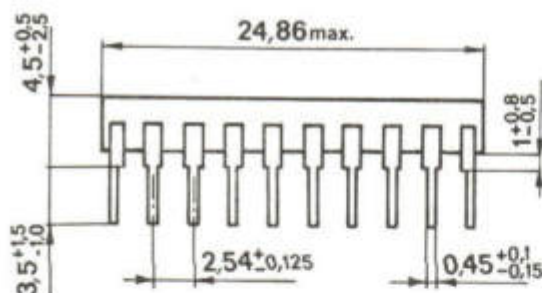
Gehäuse: 20poliges DIL-Plastgehäuse

Rastermaß: $2,5 \pm 0,125$ mm

Bauform: 21.3.20.12.20 nach TGL 26 713

Reihenabstand: 7,62 mm

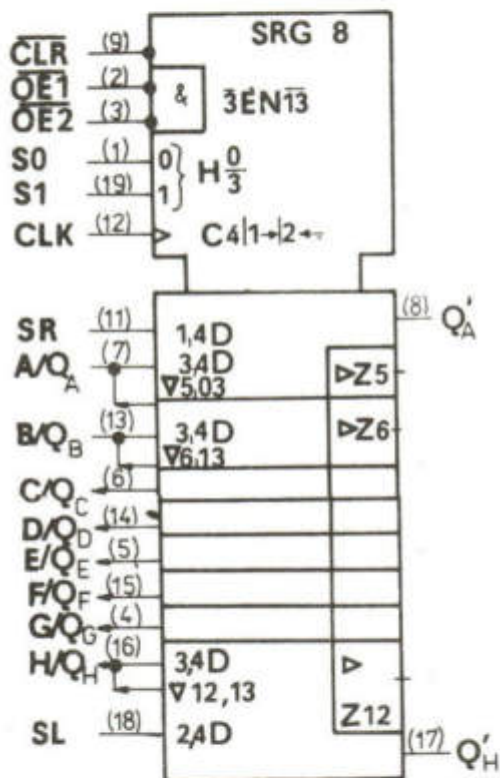
Masse: $\leq 2,5$ g



Pinbelegung:

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	S0	Eingang „Betriebsartensteuerung“	11	SR	Dateneingang „Schieben rechts“
2	$\overline{OE1}$	Enable-Eingang	12	CLK	Takt-Eingang
3	$\overline{OE2}$	Enable-Eingang	13	B/Q _B	Daten-Ein-/Ausgang
4	G/Q _G	Daten-Ein-/Ausgang	14	D/Q _D	Daten-Ein-/Ausgang
5	E/Q _E	Daten-Ein-/Ausgang	15	F/Q _F	Daten-Ein-/Ausgang
6	C/Q _C	Daten-Ein-/Ausgang	16	H/Q _H	Daten-Ein-/Ausgang
7	A/Q _A	Daten-Ein-/Ausgang	17	Q _H	Daten-Ausgang
8	Q _A	Daten-Ausgang	18	SL	Daten-Eingang „Schieben links“
9	$\overline{CLR}$	Eingang „Rücksetzen“	19	S ₁	Eingang „Betriebs- artensteuerung“
10	M	Masse	20	U _{CC}	Betriebsspannung

Logikschaltbild:



Funktionstabelle:

Betriebsart	Eingänge					Eingänge/Ausgänge								Ausgänge					
	CLR	S1	SO	$\overline{OE1}$	$\overline{OE2}$	CLK	SL	SR	A/Q _A	B/Q _B	C/Q _C	D/Q _D	E/Q _E	F/Q _F	G/Q _G	H/Q _H	Q' _A	Q' _H	
Rücksetzen	L	X	L	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L	
	L	L	X	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L	
	L	H	H	X	X	X	X	X	L	L	L	L	L	L	L	L	L	L	
Halten	H	L	L	L	L	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}	Q _{EO}	Q _{FO}	Q _{GO}	Q _{HO}	Q _{AO}	Q _{HO}	
	H	X	X	L	L	L	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}	Q _{EO}	Q _{FO}	Q _{GO}	Q _{HO}	Q _{AO}	Q _{HO}	
Schieben rechts	H	L	H	L	L	↑	X	H	H	Q _{AU}	Q _{BU}	Q _{CU}	Q _{DU}	Q _{EU}	Q _{FU}	Q _{GU}	H	Q _{GU}	
	H	L	H	L	L	↑	X	L	L	Q _{AU}	Q _{BU}	Q _{CU}	Q _{DU}	Q _{EU}	Q _{FU}	Q _{GU}	L	Q _{GU}	
Schieben links	H	H	L	L	L	↑	H	X	Q _{BU}	Q _{CU}	Q _{DU}	Q _{EU}	Q _{FU}	Q _{GU}	Q _{HU}	H	Q _{BU}	H	
	H	H	L	L	L	↑	L	X	Q _{BU}	Q _{CU}	Q _{DU}	Q _{EU}	Q _{FU}	Q _{GU}	Q _{HU}	L	Q _{BU}	L	
Einschreiben	H	H	H	X	X	↑	X	X	a	b	c	d	e	f	g	h	a	h	

H = High – Pegel

L = Low – Pegel

X = beliebiger Pegel

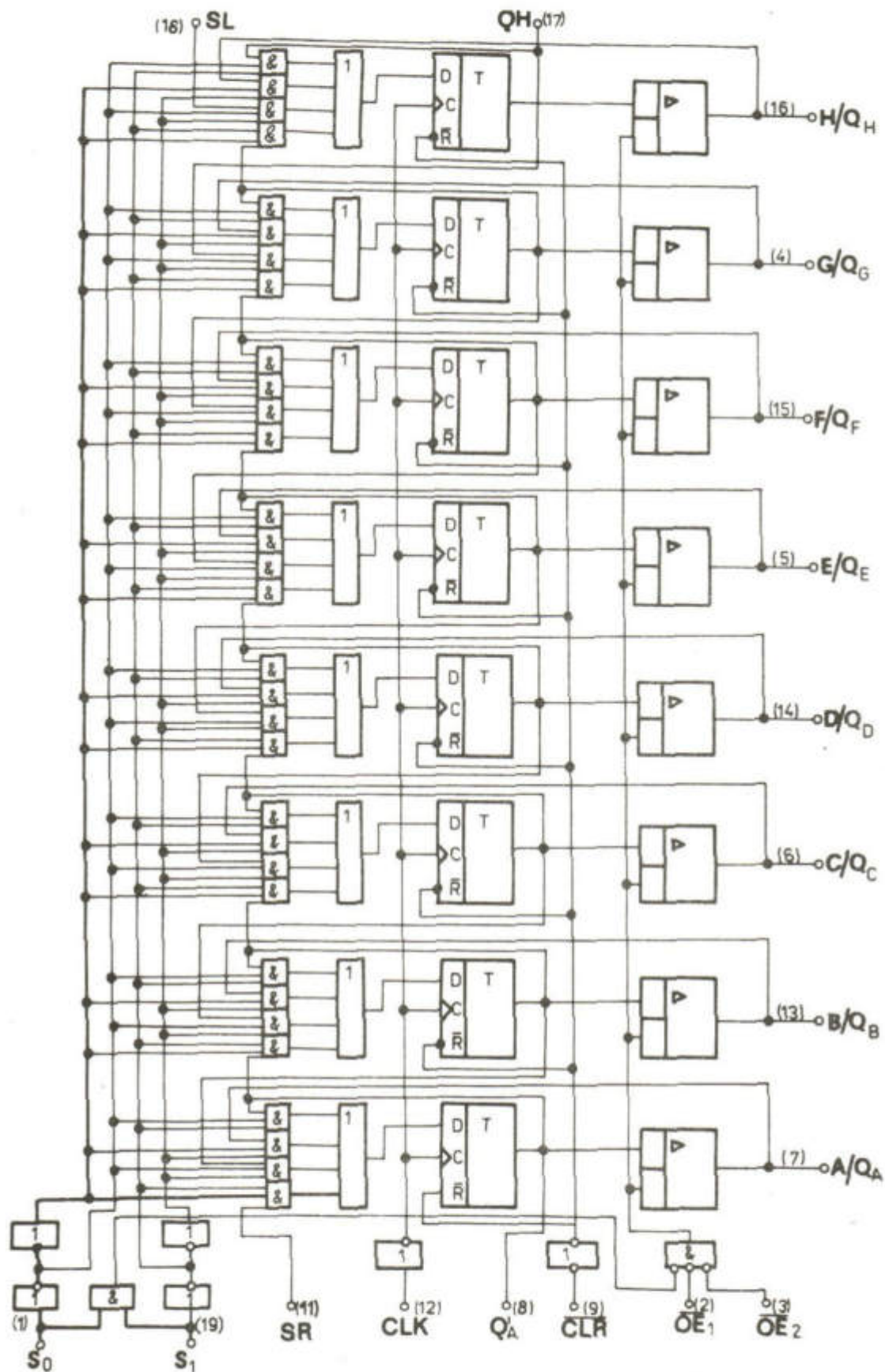
↑ = Low – High – Flanke

Q_{AO} ... Q_{HO} = Pegel von Q_A ... Q_H, bevor die statischen Eingangsbedingungen angelegt werden

Q_{AU} ... Q_{HU} = Pegel von Q_A ... Q_H

a ... h = Daten an den Eingängen A bis H, die in die Flip-Flop eingeschrieben wurden, während die Flip-Flop-Ausgänge hochohmig sind.

Blockschaltbild:



L299A2 D85

Der Schaltkreis DL 299 D enthält ein 8 bit-Universalschieberegister, mit dem die Betriebsarten Einschreiben, Speichern, Links- bzw. Rechtsschieben sowie Rücksetzen realisiert werden können. Es besteht aus 8 Registerzellen mit dazugehörigen 3-State-Ausgangsstufen (Q-Ausgänge). Von 8 weiteren Ausgangsstufen der Flip-Flop (Q-Ausgänge) für die internen Rückführungen sind die für die Kaskadierung des Schaltkreises benötigten Ausgänge Q'_A und Q'_H aus dem Schaltkreis herausgeführt. Außerdem sind Ansteuerschaltungen für den Takt (CLK) und das Rücksetzen ($\overline{CLR}$) der Registerzellen sowie eine Logik zur Betriebsarteneinstellung (S0, S1) vorhanden.

Die Registerzellen sind aus D-Flip-Flop aufgebaut, die synchron getaktet (mit L-H-Schaltflanke an CLK-Eingang) und gleichzeitig zurückgesetzt (mit L-Pegel an $\overline{CLR}$) werden.

Die Voreinstellung der Flip-Flop erfolgt über eine Torschaltung, die durch die an den Eingängen „Betriebsartensteuerung“ (S0, S1) angelegten Pegel gesteuert wird.

Das Schalten der 3-State-Ausgänge Q in den hochohmigen Zustand erfolgt bei der Betriebsart „Einschreiben“ (S0–S1–H) bzw. durch die Enable-Eingänge ($\overline{OE1}$ bzw. $\overline{OE2} = H$). Dabei werden serielle Funktionen und das Rücksetzen der Registerzellen nicht beeinflusst.

Grenzwerte (gültig für den Betriebstemperaturbereich)

		<i>min.</i>	<i>max.</i>	
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung	U_i	–	7	V
Ausgangsspannung im 3-State-Zustand	U_{OZ}	–	5,5	V

Betriebsbedingungen:

Betriebsspannung	U_{CC}	4,75	5,25	V
H-Ausgangsstrom	$-I_{OH}$	—	2,6	mA
H-Ausgangsstrom Q'	$-I_{OH}$	—	0,4	mA
L-Ausgangsstrom Q	I_{OL}	—	24	mA
L-Ausgangsstrom Q'	I_{OL}	—	8	mA
Impulsdauer am Eingang CLK	t_w			
CLK High		30	—	ns
CLK Low		10	—	ns
Impulsdauer am Eingang CLR	t_w			
CLR Low		20	—	ns
Voreinstellzeit ¹⁾	t_{su}			
Betriebsart ²⁾				
Daten High ³⁾		35	—	ns
Daten Low ³⁾		20	—	ns
CLR inaktiver Zustand		20	—	ns
Haltezeit ¹⁾	t_h			
Betriebsart ²⁾		10	—	ns
Daten ³⁾		0	—	ns
L-Eingangsspannung	U_{IL}	—	0,8	V
H-Eingangsspannung	U_{IH}	20	—	V
max. Frequenz	f_{max}	25	—	MHz
Umgebungstemperatur	ϑ_a	0	70	°C

¹⁾ Als Bezugsflanke des CLK-Impulses gilt die L-H-Flanke

²⁾ Betriebsarteneinstellung: an S0 und S1 anliegende Pegel

³⁾ Daten: an seriellen Eingängen und an Dateneingängen/-ausgängen anliegende Pegel.

Statische Kennwerte ($U_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}$; $\theta_a = 0 \dots 70^\circ\text{C}$):

		min.	max.	
Stromaufnahme	I_{CC}			
$U_{CC} = 5,25 \text{ V}$		–	53	mA
Ausgangskurzschlußstrom ²⁾	$-I_{OS}$			
$U_{CC} = 5,25 \text{ V}$ Q		30	130	mA
Q'		20	100	mA
		min.	max.	
H-Ausgangsspannung	U_{OH}			
$U_{CC} = 4,75 \text{ V}$; $-I_{OH} = 2,6 \text{ mA}$ Q		2,4	–	V
$-I_{OH} = 0,4 \text{ mA}$ Q'		2,7	–	V
L-Ausgangsspannung	U_{OL}			
$U_{CC} = 4,75 \text{ V}$; $I_{OL} = 12 \text{ mA}$ Q		–	0,4	V
$I_{OL} = 24 \text{ mA}$ Q		–	0,5	V
$I_{OL} = 4 \text{ mA}$ Q'		–	0,4	V
$I_{OL} = 8 \text{ mA}$ Q'		–	0,5	V
H-Eingangsstrom	I_{IH}			
$U_{CC} = 5,25 \text{ V}$; $U_{IH} = 2,7 \text{ V}$; A bis H		–	40	μA
$U_{IH} = 5,5 \text{ V}$;		–	100	μA
$U_{IH} = 2,7 \text{ V}$; S0, S1		–	40	μA
$U_{IH} = 7,0 \text{ V}$;		–	200	μA
$U_{IH} = 2,7 \text{ V}$; Sonstige I_{IH}		–	20	μA
$U_{IH} = 7,0 \text{ V}$		–	100	μA
L-Eingangsstrom	$-I_{IL}$			
$U_{CC} = 5,25 \text{ V}$; $U_{IL} = 0,4 \text{ V}$				
S0, S1		–	720	μA
sonstige		–	360	μA
Ausgangsstrom bei 3-State	I_{OZH}			
$U_{CC} = 5,25 \text{ V}$; $U_O = 2,7 \text{ V}$		–	40	μA
$U_O = 0,4 \text{ V}$	$-I_{OZL}$		440	μA
Clampingspannung der Eingangsdiode	$-U_I$			
$U_{CC} = 4,75 \text{ V}$; $-I_L = 18 \text{ mA}$		–	1,5	V

¹⁾ Eingänge $\overline{\text{CLR}}$, S0, $\overline{\text{OE1}}$, SL und SR auf 0 V; S1, $\overline{\text{OE2}}$ und CLK auf 4,5 V gelegt, Ausgänge Q und Q' offen.

²⁾ zulässige Prüfzeit $\leq 1 \text{ s}$; Kurzschluß nur an einem Ausgang zulässig.

Dynamische Kennwerte ($U_{CC} = 5,0 \text{ V} \pm 55 \text{ mV}$; $\vartheta_a = 25^\circ\text{C} - 5\text{K}$):

				min.	max.	
Signalverzögerungszeiten						
	CLK	Q'	t_{pLH}	—	33	ns
			t_{pHL}	—	33	ns
	$\overline{\text{CLR}}$	Q'	t_{pHL}	—	40	ns
	CLK	Q	t_{pLH}	—	25	ns
			t_{pHL}	—	39	ns
	$\overline{\text{CLR}}$	Q	t_{pHL}	—	40	ns
	$\overline{\text{OE}}$	Q	t_{pZL}	—	30	ns
			t_{pHZ}	—	15	ns
			t_{pLZ}	—	15	ns

Bestellbezeichnung: Integrierter Schaltkreis DL 299 D.

Änderungen, dem technischen Fortschritt entsprechend, behalten wir uns vor.
Sollten beim Einsatz der Bauelemente Fragen auftreten, wenden Sie sich an uns.
Ein erfahrenes Ingenieurkollektiv hilft Ihnen, Problemlösungen zu finden.

Ag 05/021/86

RFT



veb halbleiterwerk frankfurt/oder

im veb kombinat mikroelektronik

DDR 1200 Frankfurt/Oder - Telefon 4 60

**elektronik
export-import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Haus der Elektroindustrie