

Information



DL 8127 D

vorläufige technische Daten

1/87 (10)

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Systemtaktgenerator DL 8127 D

Gehäuse: 24 poliges DIL-Plastgehäuse

Bauform: 21.3.20.2.24 nach TGL 26713, Rastermaß: 2,54 mm

Masse: 43 g

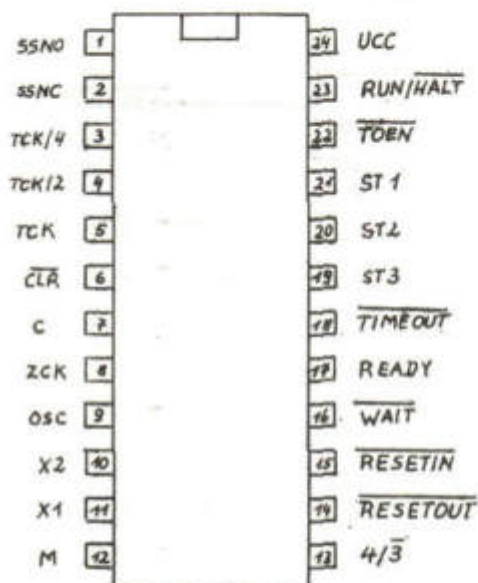


Bild 1: Anschlußbelegung

Funktionsbeschreibung

Der DL 8127 D arbeitet als Systemtaktgenerator und enthält neben dem Taktoszillator die erforderlichen Frequenzteiler und Takttreiber zur Ansteuerung moderner 8- und 16-Bit-Mikroprozessorsysteme. Zusätzlich zu einem speziellen Ausgangstreiber (ZCK, MOS-Pegel) für die CPU ist ein TTL-Oszillatorausgang (OSC) für die dynamische Speichersteuerung vorgesehen. Der Taktoszillator ist so konstruiert, daß er sowohl mit einem Quarz, als auch mit einem externen TTL-Signal (auf X1) arbeiten kann. Der DL 8127 D besitzt einen umschaltbaren Teiler zur Bereitstellung des CPU-Taktes (ZCK).

Zusätzliche Teiler erzeugen synchrone TTL-Taktsignale mit der viertel, der halben und der ganzen Frequenz des CPU-Taktes (TCK/4, TCK/2, TCK). Der Eingang $4/\bar{3}$ steuert sowohl das Teil- als auch das Tastverhältnis. Ein interner Pull-up-Widerstand setzt den offenen Eingang auf High. In dieser Betriebsart beträgt das Teilverhältnis 4, bei einem Tastverhältnis von 1:2. Der CPU-Takt (ZCK) und der TTL-Takt (TCK) sind gleichphasig.

Ein Low am Eingang $4/\bar{3}$ bewirkt ein Teilverhältnis von 3 bei einem Tastverhältnis von 1:3 und Negation des CPU-Taktes (ZCK) gegenüber dem TTL-Takt an TCK. Die Takttreiber sind löscherbar, um die Synchronisation aller Taktausgänge zu ermöglichen (TCK's=HIGH, ZCK=HIGH oder LOW entsprechend Pegel an $4/\bar{3}$). Die Steuerfunktionen umfassen RESET, RUN/HALT, SINGLE-STEP, READY und einen READY-TIMEOUT-Zähler, der die WAIT-Forderung eines externen Gerätes auf 15 Taktzyklen begrenzt. Der WAIT-Eingang der CPU wird von RUN/HALT, SINGLE-STEP (SSNO, SSNC), STATUS (ST1 ... ST3) und READY gesteuert. Wenn RUN/HALT = LOW ist, setzt der DL 8127 D den WAIT-Ausgang auf LOW und veranlaßt die CPU, Wartezustände einzunehmen. Mit den SINGLE-STEP-Eingängen (SSNO, SSNC) können die Wartezustände für jeweils eine CPU-Taktperiode unterbrochen und damit Schrittbetrieb realisiert werden. Bei Nichtbenutzung des Einzelschrittbetriebes sind SSNO auf LOW- und SSNC auf HIGH-Potential zu legen. Der READY-Eingang (High-aktiv) dient den externen Geräten zur Forderung von Wartezuständen. Der LOW-aktive Eingang TOEN (timeout enable) begrenzt die WAIT-Forderung eines externen Gerätes auf 15 Taktzyklen, d. h. mit dem 16. Takt wird der Ausgang TIMEOUT auf LOW und der Ausgang WAIT auf HIGH gesetzt. LOW-Pegel an den 3 intern NOR-verknüpften Status-Eingängen (ST1 ... ST3) sperrt den TIMEOUT-Zähler und setzt den Ausgang WAIT auf HIGH. Der LOW-aktive, mit einem internen Pull-up-Widerstand versehene Eingang RESETIN ermöglicht die Synchronisation des RESET-Signals mit dem ZCK-Ausgang. Der zugehörige Ausgang RESETOUT ist Low-aktiv, wenn $4/\bar{3}$ =HIGH ist, andernfalls ist er HIGH-aktiv.

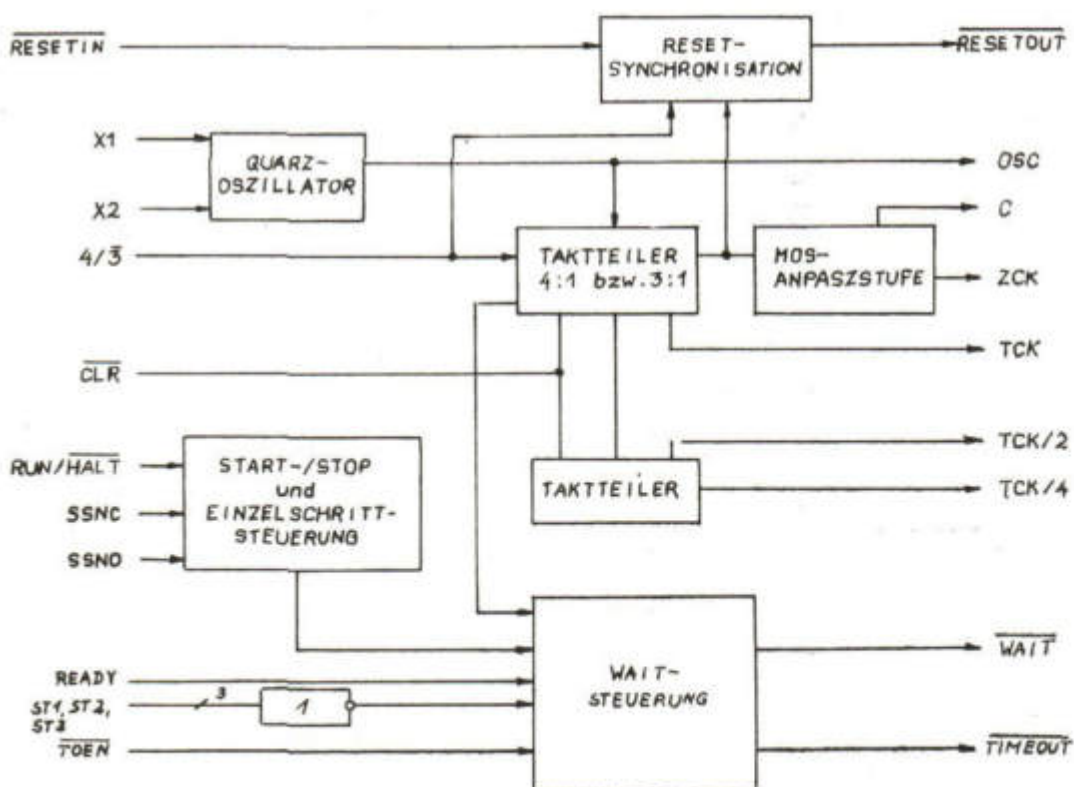


Bild 2: Blockschaltbild

Beschreibung der Anschlüsse

$4/\bar{3}$	Eingang zur Steuerung der Betriebsart. HIGH ergibt ein Takttastverhältnis von 1:2 bei einem Teilungsfaktor von 4. LOW bewirkt ein Tastverhältnis von 3 sowie die Negation des CPU-Taktes ZCK gegenüber dem TTL-Takt TCK (interner Pull-up-Widerstand).
$\overline{\text{RESETIN}}$	LOW-aktiver Eingang zur Synchronisation des RESET-Signals mit dem CPU-Takt (interner Pull-up-Widerstand, etwa 57 kOhm).
$\overline{\text{RESETOUT}}$	Synchronisierter RESET-Ausgang; LOW-aktiv, wenn $4/\bar{3}$ =HIGH.
X1, X2	Eingänge für externen Quarzanschluß; wird X1 als TTL-Eingang benutzt, bleibt X2 offen.
ZCK	Gepuffelter MOS-Taktausgang für CPU und Peripherie. Er liefert die erforderliche HIGH-Ausgangsspannung ($U_{CC} - 0,4 \text{ V}$).
TCK	Gepuffelter TTL-Taktausgang mit der gleichen Frequenz wie ZCK, TCK ist mit ZCK synchronisiert. Wenn $4/\bar{3}$ =LOW, ist ZCK zu TCK negiert.
TCK/2, TCK/4	Gepufferte TTL-Ausgänge mit der halben bzw. viertel TCK-Frequenz. Synchronisiert mit der Anstiegsflanke von TCK.
OSC	Oszillatortaktausgang, TTL-gepuffert. Liefert High-Speed-Takt für dynamische Speichersteuerung oder andere Anwendungen. Die ZCK- und TCK-Ausgänge sind mit der OSC-Anstiegsflanke synchronisiert.
$\overline{\text{CLR}}$	LOW-aktiver Eingang, mit der OSC-Anstiegsflanke synchronisiert. Setzt die internen Taktteiler zurück, um die Synchronisation der Taktausgänge mehrerer Schaltkreise zu gewährleisten.
$\overline{\text{WAIT}}$	Verriegelter (latched) $\overline{\text{WAIT}}$ -Ausgang zur Verbindung mit der CPU. Wird von der READY-, ST1-, ST2-, ST3-, RUN/ $\overline{\text{HALT}}$ - und SINGLE-STEP-Eingängen zur Forderung von Wartezuständen gesteuert.
READY	HIGH-aktiver Eingang zur Verbindung mit peripheren Geräten. Einhaltung der dem WAIT-Latch entsprechenden Einstell- und Haltezeitbedingungen erforderlich.
ST1, ST2, ST3	Status Eingänge von CPU und peripheren Geräten. LOW an allen Eingängen kennzeichnet interne CPU-Arbeit oder Refresh-Zyklen. Während dieser Zeit ist TIMEOUT abgeschaltet, um ein unpassendes Interrupt zu vermeiden. Die Wirkung der Status Eingänge ist von den Einstell- und Haltezeitbedingungen des WAIT-Latches abhängig.
RUN/ $\overline{\text{HALT}}$	Eingang der Start/Stop- und Einzelschrittsteuerung; LOW erzwingt ein LOW am $\overline{\text{WAIT}}$ -Ausgang (interner Pull-up-Widerstand).
SSNO, SSNC	SINGLE-STEP-Steuereingänge; kurzzeitiges Abschalten von SSNC von Masse und Erden von SSNO bewirkt das Übergehen der CPU von einem Wartezustand in den anderen. RUN/ $\overline{\text{HALT}}$ muß für Einzelschrittsteuerung auf LOW liegen (interner Pull-up-Widerstand).
$\overline{\text{TIMEOUT}}$	Ausgang, hauptsächlich zur Verbindung mit einem Interrupteingang der CPU (NMI). Der TIMEOUT-Zähler zählt die ZCK/TCK-Taktzyklen, um die unbeantwortete WAIT-Forderung eines peripheren Gerätes auf 15 Taktzyklen zu begrenzen. Das heißt, nach 15 Taktzyklen wird ein HIGH am $\overline{\text{WAIT}}$ -Ausgang erzwungen.
$\overline{\text{TOEN}}$	LOW-aktiver timeout-enable-Eingang; LOW gibt den TIMEOUT-Zähler frei. HIGH schaltet ihn ab und ermöglicht die WAIT-Steuerung durch die READY-, RUN/ $\overline{\text{HALT}}$ - und SINGLE-STEP-Eingänge.
C	Bootstrap-Eingang; Kondensator C_C wird mit C und ZCK verbunden, um eine kürzere ZCK-Anstiegszeit zu ermöglichen.
UCC	Betriebsspannung
M	Masse

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung $X1, 4/\overline{3}$, SSNO, SSNC, RUN/ $\overline{HALT}$	U_I		$U_{CC}+0,5$	V
Übrige Eingänge			7	V
Spannung an den Ausgängen (HIGH-Pegel)	U_{OH}	-0,5	5,5	V
Spannung an C	U_C	-0,5	8,0	V
LOW-Ausgangsgleichstrom	I_{OL}		30	mA
Eingangsgleichstrom	I_I	-30	5	mA

Betriebsbedingungen

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	4,75	5,25	V
HIGH-Eingangsspannung ST1, ST2, ST3, X1	U_{IH}			V
$\overline{CLR}$, $\overline{TOEN}$, READY		2		V
SSNO, SSNC, $4/\overline{3}$, RUN/ $\overline{HALT}$		2,4		V
$\overline{RESETIN}$		2,8		V
LOW-Eingangsspannung	U_{IL}			V
ST1, ST2, ST3, X1, $\overline{CLR}$, $\overline{TOEN}$, READY			0,8	V
RUN/ $\overline{HALT}$, SSNO, SSNC, $4/\overline{3}$, $\overline{RESETIN}$			0,4	V
HIGH-Ausgangsstrom ZCK	$-I_{OH}$		0,2	mA
TTL-Ausgänge			2,6	mA
LOW-Ausgangsstrom ZCK	I_{OL}		2,0	mA
TTL-Ausgänge			16,0	mA
Voreinstellzeit $\overline{CLR} \rightarrow \text{OSC}$	t_{su}	25		ns
Haltezeit $\overline{CLR} \rightarrow \text{OSC}$	t_h	-6		ns
Voreinstellzeit $\text{READY} \rightarrow \text{ZCK}$	t_{su}			
$4/\overline{3} = 5 \text{ V}$		$T/4+10$ ¹⁾		ns
$4/\overline{3} = 0 \text{ V}$		20		ns
Haltezeit $\text{READY} \rightarrow \text{ZCK}$	t_h			
$4/\overline{3} = 5 \text{ V}$		$-T/4$ ¹⁾		ns
$4/\overline{3} = 0 \text{ V}$		-5		ns
Voreinstellzeit $\text{ST1,2,3} \rightarrow \text{ZCK}$	t_{su}			
$4/\overline{3} = 5 \text{ V}$		$T/4+12$ ¹⁾		ns
$4/\overline{3} = 0 \text{ V}$		25		ns
Haltezeit $\text{ST1,2,3} \rightarrow \text{ZCK}$	t_h			
$4/\overline{3} = 5 \text{ V}$		$-(T/4-3)$ ¹⁾		ns
$4/\overline{3} = 0 \text{ V}$		-12		ns
Voreinstellzeit $\overline{TOEN} \rightarrow \text{ZCK}$	t_{su}			
$4/\overline{3} = 5 \text{ V}$		35		ns
$4/\overline{3} = 0 \text{ V}$		30		ns

Fortsetzung Betriebsbedingungen

	Kurzzeichen	min.	max.	Einheit
Haltezeit $\overline{\text{TOEN}} = \text{ZCK}$	t_h			ns
$4/3 = 5 \text{ V}$		-15		ns
$4/3 = 0 \text{ V}$		-10		$^{\circ}\text{C}$
Umgebungstemperatur	ϑ_a	0	70	

1) T ist die ZCK-Taktperiodendauer

Statische Kennwerte ($U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$, $\vartheta_a = 0 \dots 70 \text{ }^{\circ}\text{C}$)

	Kurzzeichen	min.	max.	Einheit
Eingangsclampingsspannung $U_{CC} = 4,75 \text{ V}$, $-I_I \approx 18 \text{ mA}$	$-U_I$		1,5	V
HIGH-Eingangestrom $U_{CC} = 5,25 \text{ V}$, $U_{IH} \approx 2,75 \text{ V}$ $4/3$, SSNC, SSNO, RUN/ $\overline{\text{HALT}}$	I_{IH}	-300 ¹⁾		μA
$\overline{\text{RESETIN}}$ ST1, ST2, ST3, $\overline{\text{CLR}}$, $\overline{\text{TOEN}}$, READY X1		-200 ¹⁾		μA
			50	μA
			600	μA
$U_{CC} = 5,25 \text{ V}$, $U_{IH} = 5,5 \text{ V}$ ST1, ST2, ST3, $\overline{\text{CLR}}$, $\overline{\text{TOEN}}$, READY			1	mA
LOW-Eingangsströme $U_{CC} = 5,25 \text{ V}$, $U_{IL} = 0,4 \text{ V}$	$-I_{IL}$			
SSNO			1,6	mA
SSNC, $4/3$, RUN/ $\overline{\text{HALT}}$, READY			1,2	mA
$\overline{\text{CLR}}$, $\overline{\text{TOEN}}$, X1			0,72	mA
ST1, ST2, ST3, $\overline{\text{RESETIN}}$			0,36	mA
HIGH-Ausgangsspannung $U_{CC} = 4,75 \text{ V}$, $-I_{OH} = 0,2 \text{ mA}$ ZCK	U_{OH}	4,0		V
		4,00		V
TTL-Ausgänge $-I_{OH} = 2,6 \text{ mA}$		2,4		V
LOW-Ausgangsspannung $U_{CC} = 4,75 \text{ V}$, $I_{OL} = 2,0 \text{ mA}$ ZCK	U_{OL}		0,45	V
TTL-Ausgänge			0,5	V
Ausgangskurzschlußstrom ²⁾ $U_{CC} = 5,25 \text{ V}$	$-I_{OS}$			
ZCK		50	240	mA
TTL-Ausgänge		40	130	mA
Stromaufnahme $U_{CC} = 5,25 \text{ V}$, X1 = 2,4 V ZCK=TCK's=LOW ³⁾	I_{CC}		140	mA

- 1) Negative HIGH-Eingangsströme werden durch den internen Pull-up-Widerstand verursacht.
- 2) Nicht mehr als einen Ausgang gleichzeitig kurzschließen, Dauer des Kurzschlusses ≤ 1 s.
- 3)
 1. $\overline{\text{CLR}}=\text{LOW}$, $\text{SSNO}=\text{LOW}$, restliche Eingänge HIGH
 2. $X1=1$ Takt (LOW-HIGH-Flanken)
 3. $\overline{\text{CLR}}=\text{HIGH}$
 4. $X1=$ weitere 15 Takte mit Schlußpegel 2,4 V, $\text{SSNO}=\text{HIGH}$
 5. Messung von I_{CC}

Dynamische Kennwerte

$$(U_{\text{CC}} = 5 \text{ V} \pm 0,55 \text{ mV}, \theta_B = 25^\circ \text{C} - 5\text{K})$$

	Kurzzeichen	min.	max.	Einheit
Anstiegszeit des ZCK-Ausgangsimpulses	t_{TLH}			
$C_L=80 \text{ pF} \pm 5\%$, $C_C=27 \text{ pF} \pm 10\%$ ¹⁾			12	ns
$C_L=200 \text{ pF} \pm 5\%$, $C_C=27 \text{ pF} \pm 10\%$ ¹⁾			20	ns
Abfallzeit des ZCK-Ausgangsimpulses	t_{THL}			
$C_L=80 \text{ pF} \pm 5\%$, $C_C=27 \text{ pF} \pm 10\%$ ¹⁾			11	ns
$C_L=200 \text{ pF} \pm 5\%$, $C_C=27 \text{ pF} \pm 10\%$ ¹⁾			20	ns
Signalverzögerungszeiten				
$R_L=500 \text{ Ohm} \pm 2\%$, $C_L=50 \text{ pF} \pm 10\%$				
ZCK: $C_L=80 \text{ pF}$; $C_C=27 \text{ pF}$				
von nach				
READY $\rightarrow$ WAIT	t_{PLH}		16	ns
	t_{PHL}		19	ns
ST1,2,3 $\rightarrow$ WAIT	t_{PLH}		26	ns
	t_{PHL}		24	ns
ZCK $\rightarrow$ RESETOUT				
$4/\overline{3} = 0 \text{ V}$	t_{PLH}		23	ns
	t_{PHL}		15	ns
$4/3 = 5 \text{ V}$	t_{PLH}		20	ns
	t_{PHL}		10	ns
Oszillatorfrequenz	f_{OSC}	24		MHz

- 1) Bootstrap-Kondensator zwischen den Anschlüssen C und ZCK.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

Mainzer Straße 25

Berlin 1035

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055