



Übersichtsschaltplan

Bauform: DIP-18, Plast (Bild 6)

**Bezeichnung der Anschlüsse**

1	ASYNCHRON-READY ( $\overline{ARDY}$ )	10	Systemtakt (CLK)
2	SYNCHRON-READY ( $\overline{SRDY}$ )	11	RESET-Eingang ( $\overline{RES}$ )
3	SYNCHRON-READY-Freigabe ( $\overline{SRDYEN}$ )	12	RESET-Ausgang (RESET)
4	$\overline{READY}$	13	Peripherer Takt (PCLK)
5	Externer Frequenz-Eingang (EFI)	14	nicht belegt (n.c.)
6	Frequenz-/Quarz-Auswahl ( $F/\overline{C}$ )	15	STATUS-Eingang ( $\overline{S0}$ )
7	Quarzanschluß (X1)	16	STATUS-Eingang ( $\overline{S1}$ )
8	Quarzanschluß (X2)	17	ASYNCHRON-READY-Freigabe ( $\overline{ARDYEN}$ )
9	Masse (M)	18	Betriebsspannung

Der Schaltkreis DS 80612 DC erzeugt die Takt-, Ready- und Reset-Signale für 16 Bit Prozessoren und deren Hilfskomponenten. Hauptbestandteile des Schaltkreises sind der quartzgesteuerte Oszillator, der Taktgenerator mit MOS-kompatiblen Ausgangssignalen, die Ready-Synchronisation und die System-Reset-Generierung.

**Grenzwerte**

Grenzwert	Kurzzeichen	min.	max.	Einheit
Spannung am Anschluß $U_{CC}$	$U_{CC}$	0	7	V
Eingangsspannung	$U_I$		5,5	V
Spannung an den Ausgängen	$U_O$	-0,5	5,5	V
Eingangsgleichstrom	$-I_I$		10	mA
Verlustleistung	$P_{tot}$		1,0	W

**Statische Kennwerte** ( $T_a = 0$  bis  $70$  °C)

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Ausgangsspannung High		$U_{CC} = 4,75$ V, $U_{IL} = 0,8$ V, $U_{IH} = 2,0$ V,				
Ausgänge RESET, PCLK	$U_{OH}$	$-I_{OH} = 1,0$ mA	2,4			V
Ausgang CLK	$U_{OH}$	$-I_{OH} = 0,8$ mA	4,0			V
Ausgangsspannung Low		$U_{CC} = 4,75$ V, $U_{IH} = 2,0$ V, $U_{IL} = 0,8$ V,				
Ausgänge RESET, PCLK, CLK	$U_{OL}$	$I_{OL} = 5$ mA			0,45	V
Ausgang $\overline{\text{READY}}$	$U_{OL}$	$I_{OL} = 7$ mA			0,45	V
Flußspannung der Eingangsdiode <sup>1)</sup>	$-U_{IK}$	$U_{CC} = 4,75$ V, $-I_{IK} = 5$ mA			1,0	V
Eingangsstrom High <sup>1)</sup>	$I_{IH}$	$U_{CC} = 5,25$ V, $U_{IH} = 5,5$ V			50	$\mu\text{A}$
Eingangsstrom Low <sup>1)</sup>	$-I_{IL}$	$U_{CC} = 5,25$ V, $U_{IL} = 0,45$ V			0,5	mA
Stromaufnahme	$I_{CC}$	$U_{CC} = 5,25$ V			145	mA

1) alle Eingänge, außer X1 und X2

**Dynamische Kennwerte** ( $U_{CC} = 5$  V  $\pm$  0,1 V,  $T_a = 25$  °C - 5 K)

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Signalverzögerungszeiten						
EFI $\rightarrow$ CLK	$t_{PHL}$	$C_L = 150$ pF			35	ns
Ausgang CLK, Anstiegszeit	$t_{TLH}$	$C_L = 150$ pF			10	ns
Abfallzeit	$t_{THL}$	$C_L = 150$ pF			10	ns
CLK $\rightarrow$ PCLK	$t_{PLH}$	$R_L = 750$ Ohm,	0		45	ns
	$t_{PHL}$	$C_L = 75$ pF	5		50	ns
CLK $\rightarrow$ RESET	$t_{PLH}$	$R_L = 750$ Ohm,	5		50	ns
	$t_{PHL}$	$C_L = 75$ pF	5		50	ns
CLK $\rightarrow$ $\overline{\text{READY}}$	$t_{PLH}$	$R_L = 910$ Ohm,	5			ns
	$t_{PHL}$	$C_L = 150$ pF	0		33	ns