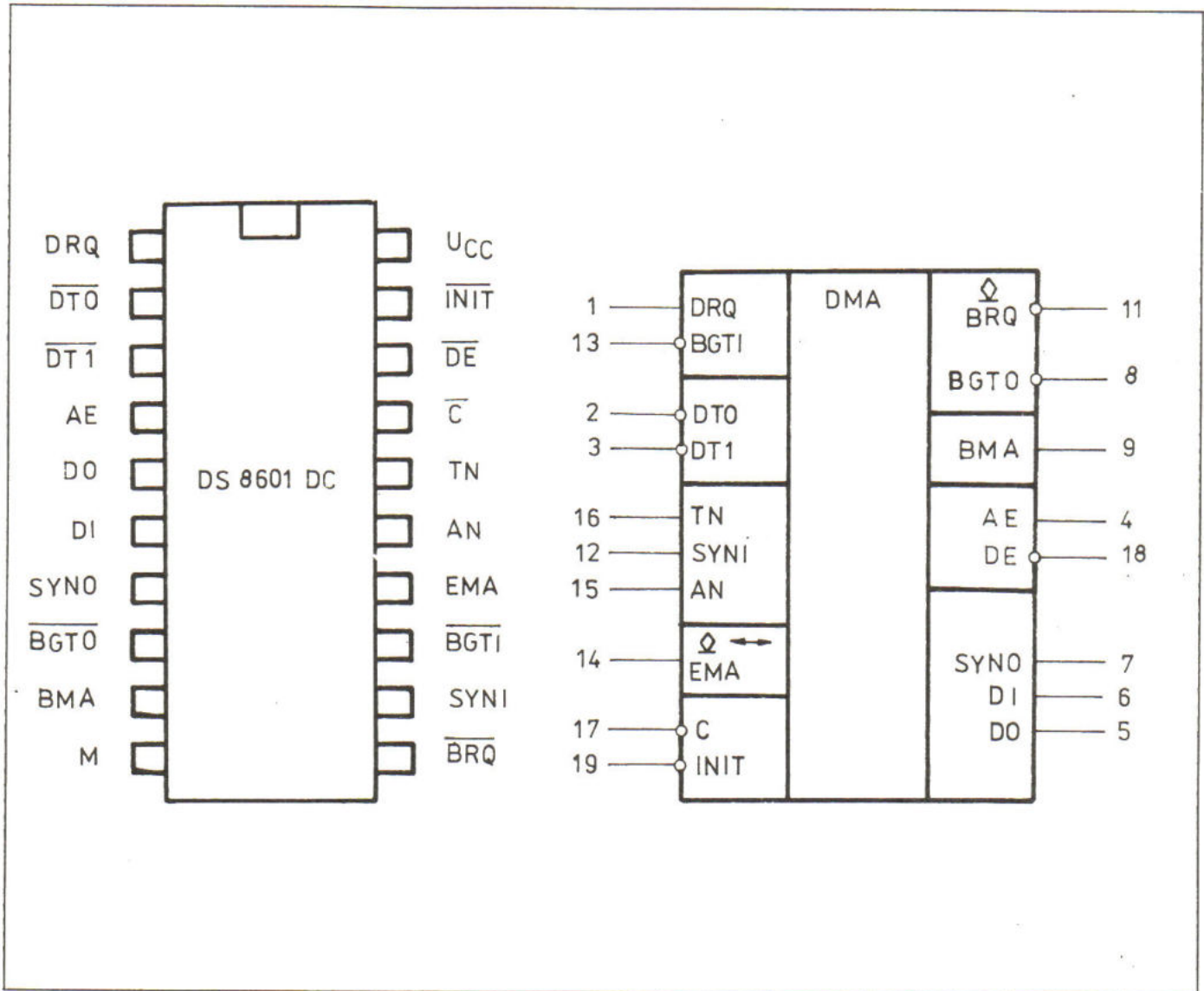


DS 8601 DC DMA-Logik-Schaltkreis

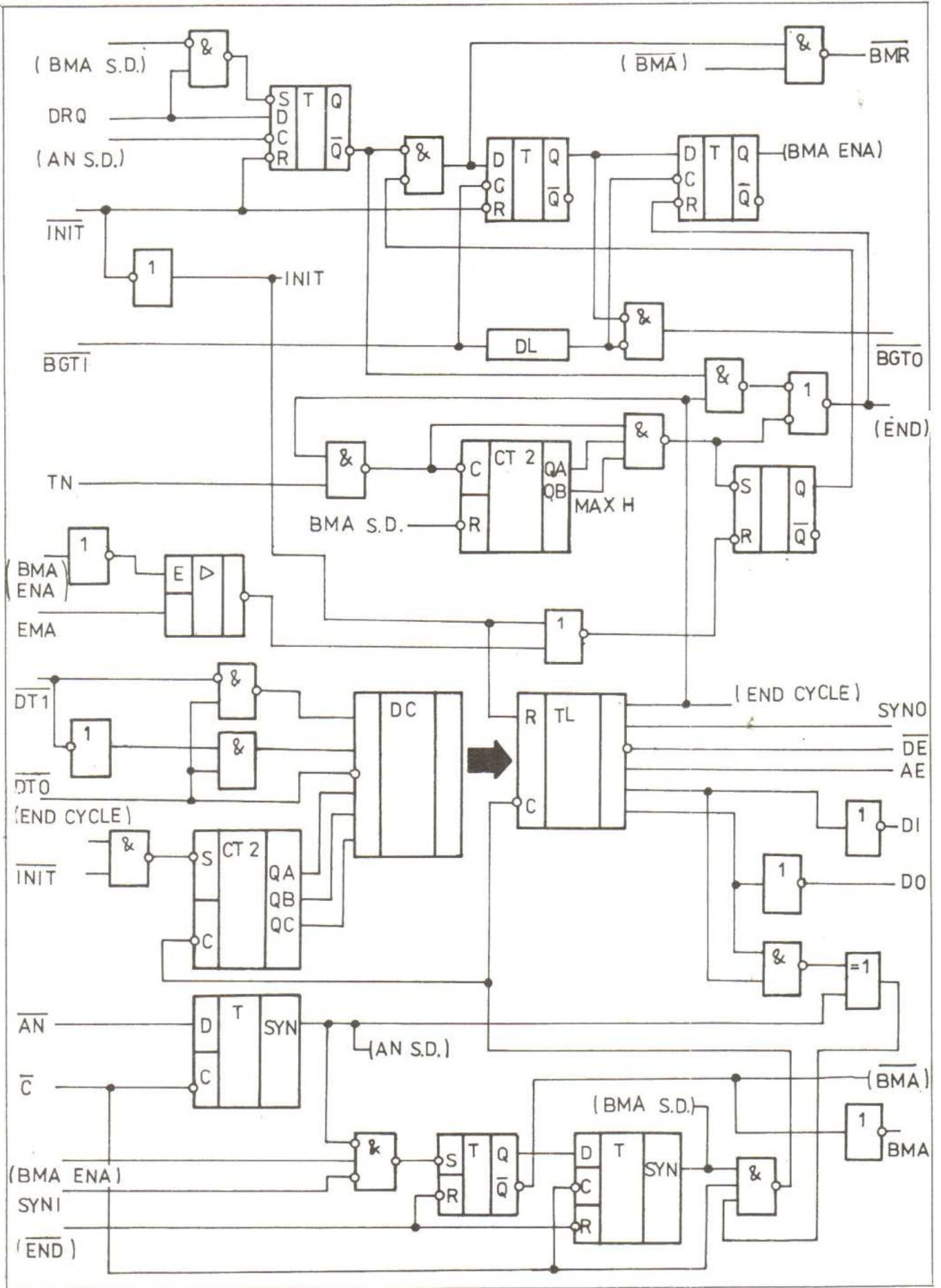
Der DMA-Schaltkreis DS 8601 DC ist für den Einsatz in DMA-organisierten Interfacegeräten vorgesehen. Dieser Schaltkreis liefert die Logik zur Ausführung der "Handshaking"-Operation bei Ausnutzung der Steuerung des Bussystems. Hat sich die "Busherrschaft" der DMA durchgesetzt, erzeugt der DS 8601 DC die erforderlichen Steuersignale zur Ausführung von DI-,DO- oder MULTIPLEX-Transfers entsprechend der Einstelltabelle. Der Schaltkreis besitzt einen Steuereingang TN (Anschluß 16), welcher einerseits beliebig viele Transfers und andererseits nur vier Transfers gestattet, um dann die "Busherrschaft" wieder abzugeben.



Anschlußbelegung und Schaltzeichen

Gehäuse: DIP-Plast 20polig

Bauform: A1KA nach TGL 26713/02



Übersichtsschaltplan

Bezeichnung der Anschlüsse

Anschluß	Bezeichnung	Typ ¹⁾	Name und Funktion												
1	DRQ	E	<p>DATA-REQUEST (DMA-ANFORDERUNG) ---> TTL-EINGANG</p> <p>Ein "High" an diesem Eingang leitet die Forderung einer Übertragung an den Bus ein. Ein "Low" beendet die Übertragung und somit die "Busherrschaft"</p>												
2	$\overline{DT0}$	E	<p>DATA-IN/OUT (DATENÜBERTRAGUNG-EINGABE/AUSGABE) --->TTL-EINGANG</p> <p>Mit diesem Signal findet die Auswahl der Transferart entsprechend einer Wahrheitstabelle statt. Während eines DI/DO-Transfers muß dieses Signal umkippen, um den Übertragungszyklus zu beenden. Bei offenem Eingang nimmt dieser Anschluß einen "High"-Zustand ein.</p> <p>Einstelltabelle: <table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr> <th>$\overline{DT1}$</th> <th>$\overline{DT0}$</th> <th>Transfer</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>L</td> <td>DI/DO</td> </tr> <tr> <td>L</td> <td>H</td> <td>DI</td> </tr> <tr> <td>H</td> <td>H</td> <td>DO</td> </tr> </tbody> </table></p>	$\overline{DT1}$	$\overline{DT0}$	Transfer	X	L	DI/DO	L	H	DI	H	H	DO
$\overline{DT1}$	$\overline{DT0}$	Transfer													
X	L	DI/DO													
L	H	DI													
H	H	DO													
3	$\overline{DT1}$	E	<p>DATA IN (DATENÜBERTRAGUNG-EINGABE) ---> TTL-EINGANG</p> <p>Mit diesem Signal findet die Auswahl der Transferart entsprechend der oben angegebenen Einstelltabelle statt.</p>												
4	AE	A	<p>ADRESS ENABLE (ADRESSFREIGABE) --->TTL-AUSGANG</p> <p>Dieses Signal zeigt an, daß eine Adresse auf den Bus gebracht werden kann.</p>												
5	DO	A	<p>DATA OUT (DATENAUSGABE/MASTER) ---> TTL-AUSGANG</p> <p>Dieses Signal zeigt an, daß an den Ausgängen des "Busmasters" gültige Daten anliegen.</p> <p>--->Schreibfreigabe für den Speicher</p>												
6	DI	A	<p>DATA IN (DATENEINGABE/MASTER) --->TTL-AUSGANG</p> <p>Dieses Signal zeigt an, daß der "Busmaster" bereit ist, Daten zu empfangen.</p> <p>--->Lesefreigabe des Speichers</p>												

Anschluß	Bezeichnung	Typ ¹⁾	Name und Funktion
7	SYNO	A	TRANSMIT SYNCHRONIZE (SYNCHRONISATION/AUSGABE) -->TTL-AUSGANG Dieses Signal besteht in der DMA als Hinweis, daß ein Transfer ausgeführt wird.
8	$\overline{\text{BGTO}}$	A	DMA GRANT OUTPUT (BUS = GEWÄHRUNG/AUSGANG) -->OPEN-COLLECTOR-AUSGANG Dieses Signal ist das verzögerte Signal von $\overline{\text{BGT1}}$, solange keine Anforderung (DRQ = Low) vorhanden ist. Ansonsten ist dieser Ausgang nicht aktiv. Er kann direkt an den Bus angeschlossen sein.
9	BMA	A	MASTER (BUS-HERRSCHAFT) ---> TTL-AUSGANG Ein "High" an diesem Ausgang zeigt an, daß die DMA die "Busherrschaft" besitzt und ein Transfer ausgeführt wird.
10	M		Masse
11	$\overline{\text{BRQ}}$	A	BUS-REQUEST (BUS-ANFORDERUNG) OPEN-COLLEKTOR-AUSGANG Ein "Low" an diesem Signal weist darauf hin, daß die DMA die "Busherrschaft" anfordert. Dieser Ausgang kann direkt an den Bus angeschlossen sein.
12	SYNI	E	RECEIVE SYNCHRONIZE (SYNCHRONISATION/EINGANG) -->TTL-EINGANG Bei diesem Signal wird die DMA zum "Master" entsprechend der Beziehung: $\overline{\text{SYNI}} \cdot \overline{\text{AN}} \cdot \text{BMA} \quad \text{ENA} = \text{BMA}$ (BMA ENA ist ein internes Signal der DMA-Logik)
13	$\overline{\text{BGT1}}$	E	DMA-GRANT INPUT (BUS-GEWÄHRUNG/EINGANG) -->TTL-EINGANG Bei einem "Low" an diesem Eingang setzt sich die "Busherrschaft" durch, wenn die Busanforderung noch vorhanden ist (DRQ = H). Ansonsten wird dieses Signal verzögert zum Ausgang $\overline{\text{BGTO}}$ übertragen.
14	EMA	E/A	TIME-OUT (EINGANG: FREIGABE BRQ -->TTL-EINGANG) (AUSGANG: FREIGABE BMA --> OPEN-COLLECTOR-AUSGANG)

Anschluß Bezeichnung Typ¹⁾ Name und Funktion

Als Ausgangsvariante ist dieser Anschluß "Low" bei BMA ENA = "H". Bei BMA ENA = "L" geht der Ausgang in den gesperrten Zustand über. Wird am Eingang ein "L" angelegt, wird \overline{BRQ} = "L" verhindert, bei einem "H" am Eingang ist \overline{BRQ} wirksam, falls \overline{BRQ} wegen der Begrenzung auf max. 4 Übertragungen rückgesetzt wurde. An diesem Anschluß kann zur Verzögerung von \overline{BGQ} ein RC-Netzwerk verwendet werden.

15	AN	E	<p>REPLY (ANTWORT) --->TTL-EINGANG</p> <p>Dieses Signal dient zum Freigeben oder Sperren des freien Taktimpulses entsprechend der Einstelltabelle. Auch mit diesem Signal kann die DMA "Master" werden, wenn folgende Bedingung gilt:</p> $\overline{SYNI} \cdot \overline{AN} \cdot BMA \text{ ENA} = BMA$
16	TN	E	<p>COUNT FOUR (ÜBERTRAGUNGSANZAHL) --->TTL-EINGANG Ein "H" am Eingang gestattet ein Maximum von vier Zyklen zu übertragen, bevor wieder die "Bus Herrschaft" abgegeben wird.</p> <p>Ein "L" hebt diesen Vorgang auf und es kann ein unbegrenzt langer Transfer stattfinden, solange DRQ = "H" einnimmt. Bei offenem Eingang nimmt dieser Anschluß "H"-Zustand an.</p>
17	\overline{C}	E	<p>CLOCK (TAKT) --->TTL-EINGANG</p> <p>Dieses Taktsignal wird zum Erzeugen aller Transfers benutzt.</p>
18	\overline{DE}	A	<p>DATA ENABLE (DATENFREIGABE) ---> TTL-AUSGANG</p> <p>Dieses Signal zeigt an, daß Daten auf den Bus gebracht werden können.</p>
19	\overline{INIT}	E	<p>INITIALIZE (INITIALISIERUNG) --> TTL-AUSGANG</p> <p>Dieses Signal stellt den Anfangszustand der DMA her, bevor DRQ = "H" mit Busanforderung beginnen kann. Ist INIT = "L", sind folgende Signale unwirksam:</p> $\overline{BRQ}, BMA, \overline{DE}, AE, SYNO, DI, DO$
20	U_{CC}		Betriebsspannung

1) E ... Eingang, A ... Ausgang

Grenzwerte

Grenzwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung	U_I		5,5	V
Ausgangsspannung High	U_{OH}		5,5	V
Verlustleistung $T_a = 70^\circ\text{C}$	P_{tot}		1,5	W
Sperrschichttemperatur	T_j		150	$^\circ\text{C}$

Betriebsbedingungen

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	4,75	5,25	V
Eingangsspannung High	U_{IH}	2,0		V
Eingangsspannung Low	U_{IL}		0,8	V
Ausgangsstrom High	$-I_{OH}$		1,0	mA
Ausgangsstrom Low	I_{OL}		8	mA
Ausgänge EMA, \overline{BGTO} , \overline{BRQ}			70	mA
Ausgangsspannung High	U_{OH}		5,5	V
Umgebungstemperatur	T_a	0	70	$^\circ\text{C}$
Impulsdauer				
Eingänge DRQ (t_{14})	t_{wH}	35		ns
\overline{INIT} (t_1)	t_{wL}	35		ns
\overline{C} (t_{12})	t_{wL}	60		ns
(t_{13})	t_{wH}	60		ns
\overline{DTO} (t_{33})	t_{wH}	30		ns
Voreinstellzeiten	t_{su}			
\overline{INIT} : L \rightarrow H (t_4)		25		ns
DRQ: L \rightarrow H (t_4)		25		ns
\overline{BRQ} : H \rightarrow L (t_6)		35		ns
\overline{BGTI} : H \rightarrow L (t_6)		35		ns
\overline{BRQ} : L \rightarrow H (t_9)		0		ns
\overline{BGTI} : L \rightarrow H (t_9)		0		ns
DRQ: H \rightarrow L (t_{22})		35		ns
\overline{C} : H \rightarrow L (t_{22})		35		ns

1 Taktperiode

Kennwert	Kurzzeichen	min.	max.	Einheit
DI: L → H (t ₂₀)		0		ns
AN: L → H (t ₂₀)		0		ns
$\overline{\text{DTO}}$: L → H (t ₂₄)		60		ns
$\overline{\text{C}}$: H → L (t ₂₄)		60		ns
$\overline{\text{DTO}}$: H → L (t ₂₄)		60		ns
$\overline{\text{C}}$: H → L (t ₂₄)		60		ns
$\overline{\text{DT1}}$: L → H (t ₂₄)		60		ns
$\overline{\text{C}}$: H → L (t ₂₄)		60		ns
$\overline{\text{DT1}}$: H → L (t ₂₄)		60		ns
$\overline{\text{C}}$: H → L (t ₂₄)		60		ns
AN: H → L (t ₂₁)		30		ns
$\overline{\text{C}}$: H → L (t ₂₁)		30		ns
AN: H → L (t ₃₁)		35		ns
$\overline{\text{DTO}}$: L → H (t ₃₁)		35		ns
$\overline{\text{DTO}}$: H → L (t ₃₂)		65		ns
$\overline{\text{C}}$: H → L (t ₃₂)		65		ns

Statische Kennwerte (T_a = 0 bis 70 °C)

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Ausgangsspannung High	U _{OH}	U _{CC} = 4,75 V, U _{IL} = 0,8 V, U _{IH} = 2,0 V, -I _{OH} = 1,0 mA	2,7			V
Ausgangsstrom High	I _{OH}	U _{CC} = 4,75 V U _{OH} = 5,25 V	100			µA
$\overline{\text{BGTO}}$, $\overline{\text{BRQ}}$ Ausgangsspannung Low		U _{CC} = 4,75 V U _{IH} = 2,0 V, U _{OL} = 0,8 V, I _{OL} = 70 mA			0,8	V
Ausgänge $\overline{\text{BGTO}}$, $\overline{\text{BRQ}}$, EMA	U _{OL}	I _{OL} = 8 mA			0,8	V
alle Ausgänge	U _{OL}				0,5	V

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Eingangsstrom High		$U_{CC} = 5,25 \text{ V},$ $U_{IH} = 2,7 \text{ V}$				
alle Eingänge, außer $\overline{DT0}$ und TN	I_{IH}	$U_{IH} = 5,5 \text{ V}$			0,05	mA
Eingänge $\overline{DT0}$, TN	I_{IH}				-0,3	mA
Eingänge DRQ, $\overline{DT1}$, SYNI, AN, \overline{C} , \overline{INIT}	I_{IH}				1	mA
Eingänge $\overline{DT0}$, TN	I_{IH}				1,5	mA
Eingangsstrom Low		$U_{CC} = 5,25 \text{ V},$ $U_{IL} = 0,4 \text{ V}$				
Eingänge $\overline{BGT1}$, EMA	$-I_{IL}$				0,05	mA
Eingänge DRQ, $\overline{DT1}$, SYNI, AN, \overline{C} , \overline{INIT}	$-I_{IL}$				1,4	mA
Eingänge $\overline{DT0}$, TN	$-I_{IL}$				2,5	mA
Flußspannung der Eingangsdiode	$-U_{IK}$	$U_{CC} = 4,75 \text{ V}$ $-I_{IK} = 18 \text{ mA}$			1,5	V
Ausgangskurzschlußstrom ¹⁾	$-I_{OS}$	$U_{CC} = 5,25 \text{ V}$	15		60	mA
alle Eingänge, außer $\overline{BGT0}$, \overline{BRQ} , EMA						
Stromaufnahme	I_{CC}	$U_{CC} = 5,25 \text{ V}$			160	mA

- 1) Nicht mehr als einen Ausgang gleichzeitig kurzschließen,
Dauer des Kurzschlusses $\leq 1 \text{ s}$.