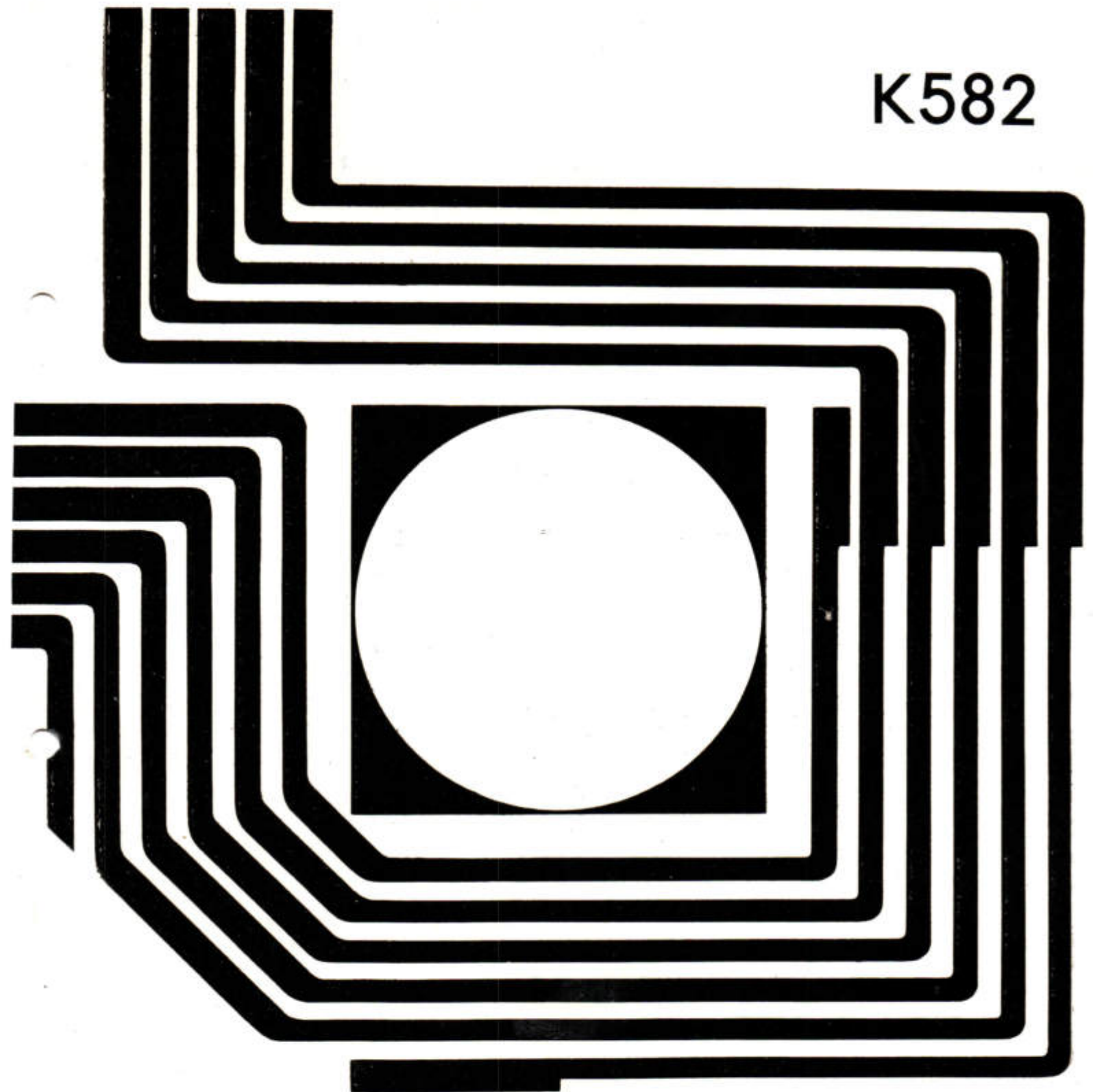


**МИКРОПРОЦЕССОР
MICROPROCESSOR UNIT**

K582



SSSR · MOSKVA

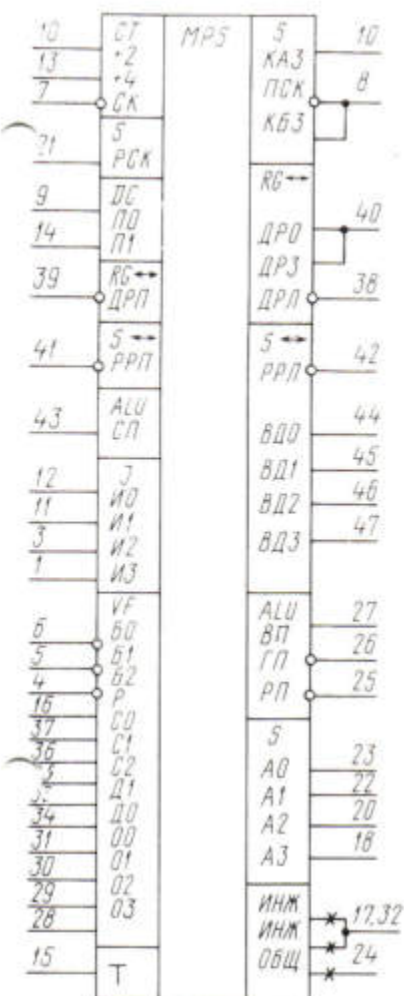
МИКРОСХЕМЫ K582ИК1, K582ИК2 INTEGRATED CIRCUITS

Представляют собой четырехразрядный параллельный микропроцессор, предназначенный для многофункционального использования в цифровых вычислительных системах; используется в качестве центрального процессора микро-ЭВМ.

Микросхемы выполнены в металлокерамическом корпусе 244.48-8

Build up a four-bit parallel microprocessor unit designed to perform various functions in digital computing systems as a central processor unit of micro-computers.

The integrated circuits are accommodated in a sintered metal package 244.48-8.



Назначение выводов

Выводы	Назначение
1	ИЗ Вход информации, 3-й разряд
2	Свободен
3	И2 Вход информации, 2-й разряд
4*)	$\overline{B2}$ Вход, инверсный, дешифрации РОН по каналу Б, 2-й разряд (код операции)
5*)	$\overline{B1}$ Вход, инверсный, дешифрации РОН по каналу Б, 1-й разряд (код операции)
6*)	$\overline{B0}$ Вход, инверсный, дешифрации РОН по каналу Б, 0-й разряд (код операции)
7	$\overline{СК}$ Вход включения счетчика команд, инверсный
8	$\overline{ПСК}$ Выход переноса счетчика команд, инверсный
9	$\overline{КБ3}$ Выход старшего разряда Б-коммутатора в старшей позиции
10	$\overline{П0}$ Вход управления относительной позицией микропроцессора, 0-й разряд
	+2 Вход увеличения на два содержимого счетчика команд в младшей позиции
	$\overline{КА3}$ Выход старшего разряда А-коммутатора в старшей позиции

Function of Leads

Lead	Function
1	ИЗ Information input, bit 3
2	Vacant
3	И2 Information input, bit 2
4*)	$\overline{B2}$ Inverting input for general-purpose register decoding over B channel, bit 2 (operation code)
5*)	$\overline{B1}$ Inverting input for general-purpose register decoding over B channel, bit 1 (operation code)
6*)	$\overline{B0}$ Inverting input for general-purpose register decoding over B channel, bit 0 (operation code)
7	$\overline{СК}$ Inverting input for command counter turn-on
8	$\overline{ПСК}$ Inverted output of command counter carry
	$\overline{КБ3}$ Switch most significant bit output in high-order position
9	$\overline{П0}$ Microprocessor relative position control input, bit 0
10	+2 Increment by 2 input for command counter content in low-order position
	$\overline{КА3}$ A switch most significant bit output in high-order position

* В микросхеме K582ИК2 выводы 4, 5, 6 не используются

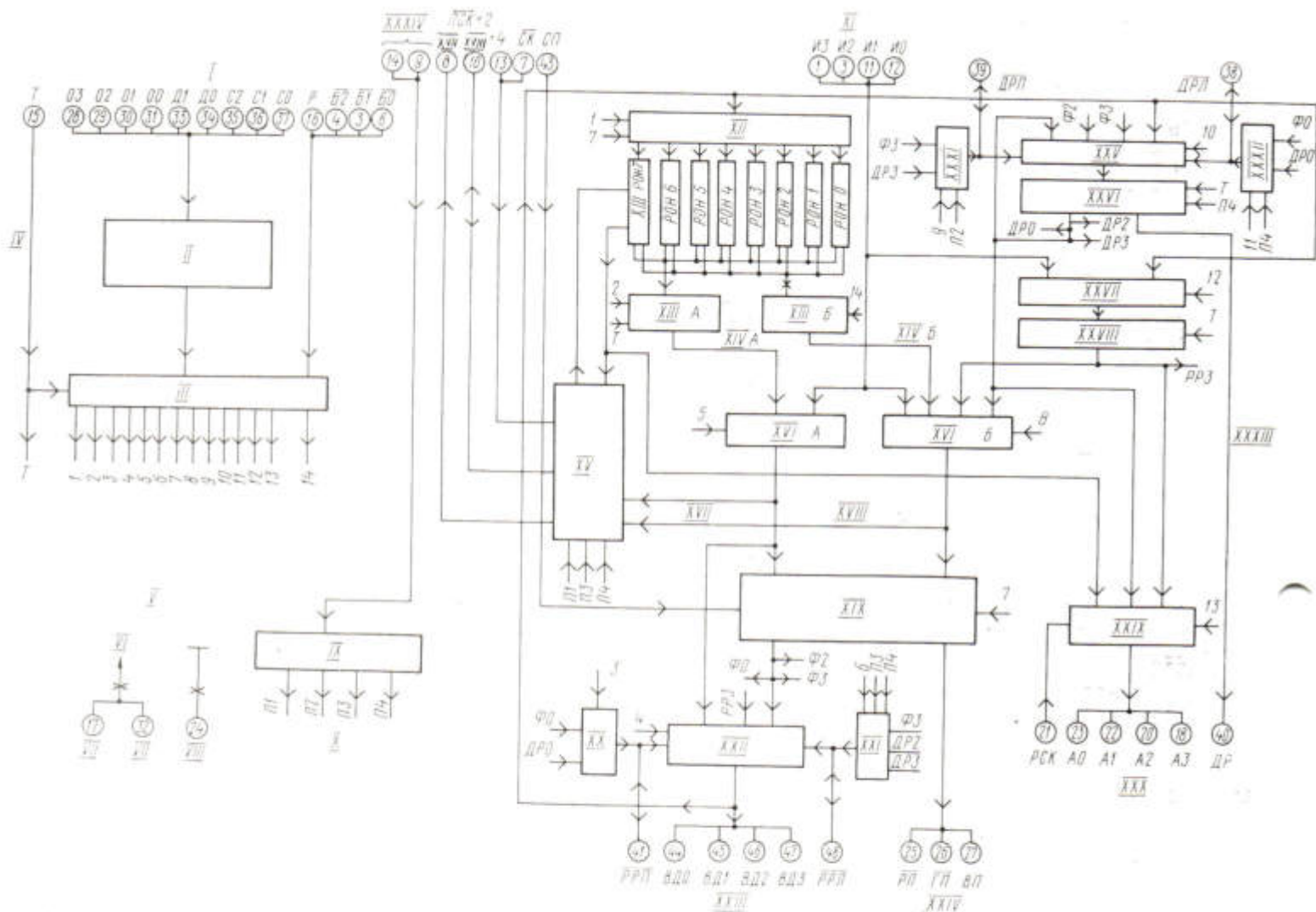
* Leads 4, 5, 6 are not used in integrated circuit K582ИК2

1	2
11	И1 Вход информации, 1-й разряд
12	И0 Вход информации, 0-й разряд
13	+4 Вход увеличения на 4 содержи- мого счетчика команд (пропуск 3-х команд в младшей позиции)
14	П1 Вход управления относительной позицией микропроцессора, 1-й разряд
15	Т Вход синхронизации (тактовый вход)
16	Р Вход разрешения передачи дан- ных из РОН по каналу Б (код операции)
17	ИНЖ. Шина инжектора (+), вход ис- точника питания
18	А3 Выход адреса, 3-й разряд
19	Свободен
20	А2 Выход адреса, 2-й разряд
21	РСК Вход разрешения передачи со- держимого счетчика команд на выход адреса
22	А1 Выход адреса, 1-й разряд
23	А0 Выход адреса, 0-й разряд
24	ОБЩ. Шина корпуса (общий вывод)
25	$\overline{РП}$ Выход распространения переноса АЛУ, инверсный
26	$\overline{ГП}$ Выход генерирования переноса АЛУ, инверсный
27	ВП Выход последовательного пере- носа АЛУ
28	О3 Вход операционного поля ПЛМ, 3-й разряд (код операции)
29	О2 Вход операционного поля ПЛМ, 2-й разряд (код операции)
30	О1 Вход операционного поля ПЛМ 1-й разряд (код операции)
31	О0 Вход операционного поля ПЛМ, 0-й разряд (код операции)

1	2
11	И1 Information input, bit 1
12	И0 Information input, bit 0
13	+4 Increment by 4 input for command counter content (skip of three com- mands in low-order position)
14	П1 Microprocessor relative position control input, bit 1
15	Т Synchronization input (clock input)
16	Р Enable input for data transfer from general-purpose register over B channel (operation code)
17	ИНЖ. Injector bus (+), power supply in- put
18	А3 Address input, bit 3
19	Vacant
20	А2 Address output, bit 2
21	РСК Enable input for command counter content transfer to address output
22	А1 Address output, bit 1
23	А0 Address output, bit 0
24	ОБЩ. Ground bus (common lead)
25	$\overline{РП}$ Arithmetic/logic unit carry propa- gation output, inverting
26	$\overline{ГП}$ Arithmetic/logic unit carry genera- tion output inverting
27	ВП Arithmetic/logic unit sequential car- ry output
28	О3 Programmable logic array opera- tional field input, bit 3 (operation code)
29	О2 Programmable logic array opera- tional field input, bit 2 (operation code)
30	О1 Programmable logic array opera- tional field input, bit 1 (operation code)
31	О0 Programmable logic array opera- tional field input, bit 0 (operation code)

1	2
32	ИНЖ. Шина инжектора (+), вход источника питания (объединять с 17 выводом)
33	Д1 Вход Д-поля ПЛМ, 1-й разряд (код операции)
34	Д0 Вход Д-поля ПЛМ, 0-й разряд (код операции)
35	С2 Вход С-поля ПЛМ, 2-й разряд (код операции)
36	С1 Вход С-поля ПЛМ, 1-й разряд (код операции)
37	С0 Вход С-поля ПЛМ, 0-й разряд (код операции)
38	ДРЛ Вход/выход, инверсный, связан со старшим разрядом дополнительного регистра (сдвиг вправо/влево)
39	ДРП Вход/выход, инверсный, связан с младшим разрядом дополнительного регистра (сдвиг влево/вправо)
40	ДР0 Выход младшего разряда дополнительного регистра в младшей позиции ДР3 Выход старшего разряда дополнительного регистра в старшей позиции
41	РРП Вход/выход, инверсный, связан с младшим разрядом рабочего регистра (сдвиг влево/вправо)
42	РРЛ Вход/выход, инверсный, связан со старшим разрядом рабочего регистра (сдвиг вправо/влево)
43	СП Вход переноса АЛУ
44	ВД0 Выход данных, 0-й разряд
45	ВД1 Выход данных, 1-й разряд
46	ВД2 Выход данных, 2-й разряд
47	ВД3 Выход данных, 3-й разряд
48	Свободен

1	2
32	ИНЖ. Injector bus (+), power supply input (to be combined with lead 17)
33	Д1 Programmable logic array D field input, bit 1 (operation code)
34	Д0 Programmable logic array D field input, bit 0 (operation code)
35	С2 Programmable logic array C field input, bit 2, (operation code)
36	С1 Programmable logic array C field input, bit 1, (operation code)
37	С0 Programmable logic array C field input, bit 0, (operation code)
38	ДРЛ Input/output, inverting, associated with complementary register most significant bit (right/left shift)
39	ДРП Input/output, inverting, associated with complementary register least significant bit (left/right shift)
40	ДР0 Complementary register least significant bit output in low-order position ДР3 Complementary register most significant bit output in high-order position
41	РРП Input/output, inverting, associated with working register least significant bit (left/right shift)
42	РРЛ Input/output, inverting, associated with working register most significant bit (right/left shift)
43	СП Arithmetic/logic unit carry input
44	ВД0 Data output, bit 0
45	ВД1 Data output, bit 1
46	ВД2 Data output, bit 2
47	ВД3 Data output, bit 3
48	Vacant



Структурная схема:

I — входы кода микрокоманд (КОП); II — программируемая логическая матрица (ПЛМ); III — регистр микрокоманд (РМК); IV — тактовый вход; V — управление блоками микропроцессора; VI — к шине инжектора блоков; VII — инжектор; VIII — общий; IX — блок относительной позиции (БОП); X — управление блоками микропроцессора; XI — информационные входы; XII — дешифратор регистра общего назначения (РОН); XIII — считыватель канала Q; XIV — канал; XV — блок приращения и управления счетчиком команд; XVI — коммутатор; XVII — коммутатор А трехразрядный; XVIII — коммутатор Б трехразрядный; XIX — арифметико-логическое устройство (АЛУ); XX — коммутатор рабочего регистра правый; XXI — коммутатор рабочего регистра левый; XXII — коммутатор выходных данных; XXIII — выход данных; XXIV — выходы переноса АЛУ; XXV — коммутатор дополнительных регистров; XXVI — дополнительный рабочий регистр; XXVII — коммутатор рабочих регистров; XXVIII — рабочий регистр; XXIX — коммутатор адреса; XXX — адресный (регистровый) выход; XXXI — коммутатор дополнительного регистра правый; XXXII — коммутатор дополнительного регистра левый; XXXIII — младший или старший разряд; XXXIV — входы управления Д1, Д0 — дополнительное поле; Т — тактовый вход; С0-С2 — селекторное поле; Р — вход разряда разрешения выбора операнда из РЗУ по шине Б ПСК — перенос счетчика сигнала; СК — счетчик команд; СП — сигнал переноса; Б0-Б2 — поле идентификации Р0 по каналу Б; П1-П4 — процессоры; Ф0 — вход функционального нуля; ДР0 — дополнительный регистр нулевой; Ф0-Ф3 — функциональные входы; РР3 — рабочий регистр 3; РРП — рабочий регистр правый; РРЛ — рабочий регистр левый; ВД1-ВД3 — выходы данных; ДРО — ДР3 — дополнительные регистры; РП — выход распространения; ГП — выход генерирующего переноса; ВП — выход последовательного переноса; ДРП — дополнительный разряд правый; ДРЛ — дополнительный регистр левый; РСК — разрешение счетчика команд; А0-А3 — выходы адреса; РОН0-РОН7 — регистр общего назначения

Block Diagram:

I — microcommand code inputs (КОП); II — programmable logic array (ПЛМ); III — microcommand register (РМК); IV — clock input; V — control of microprocessor blocks; VI — to blocks injector bus; VII — injector; VIII — common; IX — relative position block (БОП); X — microprocessor blocks control; XI — information inputs; XII — general-purpose register (РОН) decoder; write circuit; XIII — Q channel reader; XIV — channel; XV — command counter control and increment block; XVI — switch; XVII — three-bit A switch; XVIII — three-bit B switch; XIX — arithmetic/logic unit (АЛУ); XX — working register switch, right-hand; XXI — working register switch, left-hand; XXII — output data switch; XXIII — data output; XXIV — arithmetic/logic unit carry outputs; XXV — complementary registers switch; XXVI — complementary working register; XXVII — working registers switch; XXVIII — working register; XXIX — address switch; XXX — address (register) output; XXXI — complementary register switch, right-hand; XXXII — complementary register switch, left-hand; XXXIII — most significant or least significant bit; XXXIV — control inputs: Д1, Д0 — complementary field; Т — clock input; С0-С2 — selector field; Р — enable bit input for operand selection from memory register over Б bus; ПСК — command counter carry; СК — command counter; СП — carry signal; Б0-Б2 — P0 identification field over Б channel; П1-П4 — processor units; Ф0 — functional zero input; ДР0 — zero complementary register; Ф0-Ф3 — functional inputs; РР3 — working register 3; РРП — working register, right-hand; РРЛ — working register, left-hand; ВД1-ВД3 — data outputs; ДР0-ДР3 — complementary registers; РП — propagation output; ГП — generated carry output; ВП — sequential carry output; ДРП — complementary register, right-hand; ДРЛ — complementary register, left-hand; РСК — command counter enable; А0-А3 — address outputs; РОН0-РОН7 — general-purpose register

ОСНОВНЫЕ ДАННЫЕ

ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ ПРИ ТЕМПЕРАТУРЕ

$+25^{\circ}\text{C} \pm 10^{\circ}\text{C}$

Наименование параметра, единица измерения	Режим измерения	Значение параметра
1	2	3
Входное отрицательное напряжение, ($U_{\text{вх. отр.}}$), В	$I_{\text{пит.}} = 130 \text{ мА}$ $I_{\text{вх. отр.}} = 12 \text{ мА}$ $U_{\text{вх.}}^1 = 2,0 \text{ В}$ $U_{\text{вх.}}^0 = 0,8 \text{ В}$	$\leq 1,5$
Напряжение инжектора, ($U_{\text{инж.}}$), В	$I_{\text{пит.}} = 160 \text{ мА}$ $U_{\text{вх.}}^1 = 2 \text{ В}$	$\leq 1,5$
Выходное напряжение логического нуля ($U_{\text{вых.}}^0$), В	$I_{\text{л}} = 16 \text{ мА}$ (для выводов 18, 20, 21, 23, 25, 26, 27) $I_{\text{л}} = 8 \text{ мА}$ (для выводов 40, 44, 45, 46, 47) $I_{\text{л}} = 4 \text{ мА}$ (для выводов 8, 10, 38, 39, 41, 42) $U_{\text{вх.}}^0 = 0,8 \text{ В}$ $U_{\text{вх.}}^1 = 2 \text{ В}$ $I_{\text{пит.}} = 130 \text{ мА}$	$\leq 0,4$
Выходной ток логической единицы, ($I_{\text{вых.}}^1$), мкА:	$U_{\text{изм.}} = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,8 \text{ В}$ $U_{\text{вх.}}^1 = 2 \text{ В}$ $I_{\text{пит.}} = 160 \text{ мА}$	≤ 400
для выводов 40, 8, 18, 20, 22, 23, 44, 45, 46, 47, 25, 26, 27		
для выводов 10, 38, 39, 41, 42		≤ 650
Входной ток логической единицы, ($I_{\text{вх.}}^1$), мкА:	$U_{\text{вх.}}^0 = 0,8 \text{ В}$ $U_{\text{вх.}}^1 = 2 \text{ В}$ $I_{\text{пит.}} = 160 \text{ мА}$	≤ 250
для выводов 33, 34, 35, 36, 37, 43, 45, 6, 9, 11, 12, 13, 14, 16, 21, 28, 29, 30, 31		
для выводов 7, 15		≤ 500

ДИНАМИЧЕСКИЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ ПРИ НОРМАЛЬНЫХ КЛИМАТИЧЕСКИХ УСЛОВИЯХ

Наименование параметра, единица измерения	Режим измерения	Значение параметра
1	2	3
Время задержки распространения сигнала от входа информации до выхода данных по каналу А, минус АЛУ ($t_{\text{зд. р.}}^{0,1}$, $t_{\text{зд. р.}}^{1,0}$), нс	$C_{\text{экв.}} \leq 100 \text{ пФ}$ $I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$	≤ 500

SPECIFICATIONS

CHARACTERISTICS AT AMBIENT TEMPERATURE OF

$+25^{\circ}\text{C} \pm 10^{\circ}\text{C}$

Parameter and unit of measurement	Measurement conditions	Value
1	2	3
Negative input voltage ($U_{\text{in neg.}}$), V	$I_{\text{sup.}} = 130 \text{ mA}$ $I_{\text{in neg.}} = 12 \text{ mA}$ $U_{\text{in}}^1 = 2.0 \text{ V}$ $U_{\text{in}}^0 = 0.8 \text{ V}$	≤ 1.5
Injector voltage ($U_{\text{inj.}}$), V	$I_{\text{sup.}} = 160 \text{ mA}$ $U_{\text{in}}^1 = 2 \text{ V}$	≤ 1.5
Logical zero output voltage (U_{out}^0), V	$I_{\text{л}} = 16 \text{ mA}$ (for leads 18, 20, 21, 23, 25, 26, 27) $I_{\text{л}} = 8 \text{ mA}$ (for leads 40, 44, 45, 46, 47) $I_{\text{л}} = 4 \text{ mA}$ (for leads 8, 10, 38, 39, 41, 42) $U_{\text{in}}^0 = 0.8 \text{ V}$ $U_{\text{in}}^1 = 2 \text{ V}$ $I_{\text{sup.}} = 130 \text{ mA}$	≤ 0.4
Logical one output current (I_{out}^1), μA :	$U_{\text{meas.}} = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.8 \text{ V}$ $U_{\text{in}}^1 = 2 \text{ V}$ $I_{\text{sup.}} = 160 \text{ mA}$	≤ 400
for leads 40, 8, 18, 20, 22, 23, 44, 45, 46, 47, 25, 26, 27		
for leads 10, 38, 39, 41, 42		≤ 650
Logical one input current (I_{in}^1), μA :	$U_{\text{in}}^0 = 0.8 \text{ V}$ $U_{\text{in}}^1 = 2 \text{ V}$ $I_{\text{sup.}} = 160 \text{ mA}$	≤ 250
for leads 33, 34, 35, 36, 37, 43, 45, 6, 9, 11, 12, 13, 14, 16, 21, 28, 29, 30, 31		
for leads 7, 15		≤ 500

TRANSIENT ELECTRICAL CHARACTERISTICS UNDER NORMAL CLIMATIC CONDITIONS

Parameter and unit of measurement	Measurement conditions	Value
1	2	3
Signal propagation delay time between information input and data output over A channel bypassing the arithmetic/logic unit ($t_{\text{prop. d}}^{0,1}$, $t_{\text{prop. d}}^{1,0}$), ns	$C_{\text{eq.}} \leq 100 \text{ pF}$ $I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4$	≤ 500

1	2	3	1	2	3
Время задержки распространения сигнала от входа информации до выхода данных по каналу А через АЛУ, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} = 100 \text{ пФ}$	≤ 750	Signal propagation delay time between information input and data output over A channel through arithmetic/logic unit, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} = 100 \text{ pF}$	≤ 750
Время задержки распространения сигнала от входа синхронизации до выхода данных по каналу Б через АЛУ с рабочих регистров, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 800	Signal propagation delay time between synchronization input and data output over B channel through arithmetic/logic unit from working registers, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 800
Время задержки распространения сигнала от входа синхронизации до выхода данных с РОН минуя АЛУ, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 800	Signal propagation delay time between synchronization input and data output from general-purpose register bypassing arithmetic/logic unit, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 800
Время задержки распространения сигнала от входа синхронизации до выхода данных с РОН через АЛУ (канал Б), нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	$\leq 1200^*)$	Signal propagation delay time between synchronization input and data output from general-purpose register through arithmetic/logic unit (B channel) ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	$\leq 1200^*)$
Время задержки распространения сигнала от входа синхронизации до выходов переноса АЛУ, РП, ГП, ВП, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 850	Signal propagation delay time between synchronization input and carry outputs of arithmetic/logic unit, РП, ГП, ВП, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 850
Время задержки распространения сигнала от входа переноса АЛУ до выхода данных, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 500	Signal propagation delay time between arithmetic/logic unit carry input and data output, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 500
Время задержки распространения сигнала от входа синхронизации до выхода адреса из РОН 7 (СК), нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 550	Signal propagation delay time between synchronization input and general-purpose register 7 address output (command counter), ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 550
Время задержки распространения сигнала от входа синхронизации до выхода переноса СК, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 500	Signal propagation delay time between synchronization input and command counter carry output, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 500
Время задержки распространения сигнала от входа включения счетчика команд до выхода переноса счетчика команд, нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≤ 300	Signal propagation delay time between command counter turn-on input and command counter carry output, ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≤ 300
Длительность синхриимпульса низкого уровня, (τ_{U1}), нс	$I_{\text{пит.}} = 145 \text{ мА}$ $U_{\text{вх.}}^1 = 2,4 \text{ В}$ $U_{\text{вх.}}^0 = 0,4 \text{ В}$ $C_{\text{экв.}} \leq 100 \text{ пФ}$	≥ 500	Low-level sync pulse length, (τ_{U1}), ns	$I_{\text{sup.}} = 145 \text{ mA}$ $U_{\text{in}}^1 = 2.4 \text{ V}$ $U_{\text{in}}^0 = 0.4 \text{ V}$ $C_{\text{eq.}} \leq 100 \text{ pF}$	≥ 500
Длительность синхриимпульса высокого уровня (τ_{U2}), нс		≥ 1250	High-level sync pulse length (τ_{U2}), ns		≥ 1250

1	2	3
Время подготовки кода операции по отношению к положительному фронту синхриимпульса ($t_{\text{ус. 1}}$), нс		≥ 350
Период синхриимпульса, (T), нс		≥ 1750

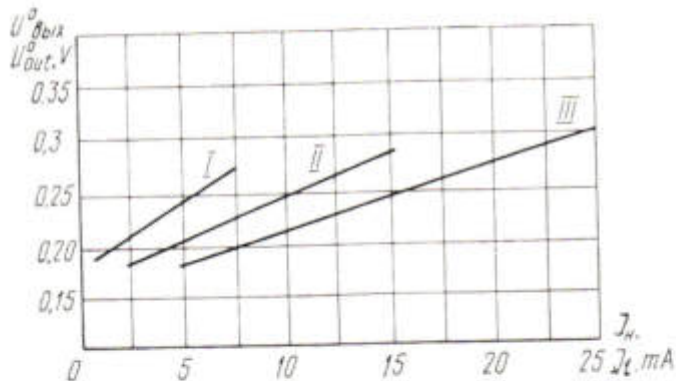
*) В микросхемах КР582ИК2, К582ИК2 данный параметр не проверяется

ПРЕДЕЛЬНЫЕ ЗНАЧЕНИЯ ДОПУСТИМЫХ ЭЛЕКТРИЧЕСКИХ РЕЖИМОВ ЭКСПЛУАТАЦИИ

Ток питания ($I_{\text{пит.}}$), мА 130—160
 Предельно допустимое напряжение на любом входе микросхемы ($U_{\text{вх.}}^1$), В $\leq 3,3$
 Предельно допустимый постоянный ток при отрицательном напряжении на любом входе ($I_{\text{вх. отр.}}$), мА ≤ 12
 Предельно допустимое напряжение на выходе при закрытом транзисторе ($U_{\text{вых.}}^1$), В $\leq 3,3$
 Предельно допустимая емкость нагрузки ($C_{\text{наг.}}$), пФ:
 по выводам 18, 20, 22, 23, 25, 26, 27 ≤ 400
 по выводам 40, 44, 45, 46, 47 ≤ 300
 по выводам 8, 10, 38, 39, 41, 42 ≤ 100
 Предельно допустимая температура кристалла ($t_{\text{кр.}}$), °C ≤ 150

ТЕПЛОВОЕ СОПРОТИВЛЕНИЕ КРИСТАЛЛ—КОРПУС

$R_{\text{т кр. к.}} = 0,08 \text{ } ^\circ\text{C/мВт}$; $R_{\text{т кр. ср.}} = 0,1 \text{ } ^\circ\text{C/мВт}$, тепловое сопротивление кристалл—корпус (в нормальных климатических условиях без принудительного обдува)



Зависимость выходного напряжения логического нуля от величины тока нагрузки при $t = 25 \text{ } ^\circ\text{C}$:

I — вход/выход; II — выход данных; III — адресный выход
 Logical Zero Output Voltage as Function of Load Current at $t = 25 \text{ } ^\circ\text{C}$:

I — input/output; II — data output; III — address output

1	2	3
Operation code preparation time with respect to sync pulse positive rise time ($t_{\text{set. 1}}$)		≥ 350
Sync pulse period (T), ns		≥ 1750

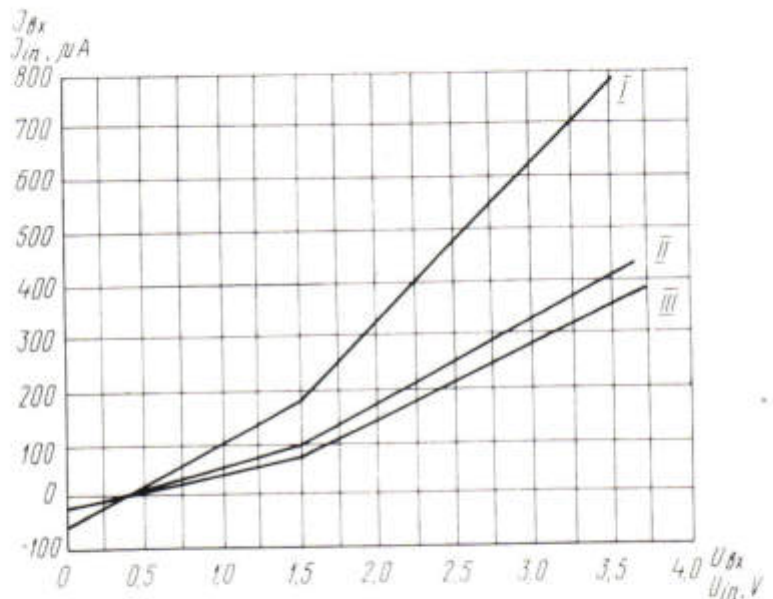
*) This characteristic is not checked in integrated circuits КР582ИК2, К582ИК2.

PERMISSIBLE LIMITS OF ELECTRICAL PERFORMANCE CHARACTERISTICS

Supply current ($I_{\text{sup.}}$), mA 130—160
 Permissible voltage limit across any input of integrated circuit (U_{in}^1), V ≤ 3.3
 Permissible d. c. current limit at negative voltage across any input ($I_{\text{in neg.}}$), mA ≤ 12
 Permissible voltage limit across output with transistor cut off (U_{out}^1), V ≤ 3.3
 Permissible limit of load capacitance ($C_{\text{eq.}}$), pF:
 for leads 18, 20, 22, 23, 25, 26, 27 ≤ 400
 for leads 40, 44, 45, 46, 47 ≤ 300
 for leads 8, 10, 38, 39, 41, 42 ≤ 100
 Permissible chip temperature limit (t_{chip}), °C ≤ 150

CHIP-TO-PACKAGE THERMAL RESISTANCE

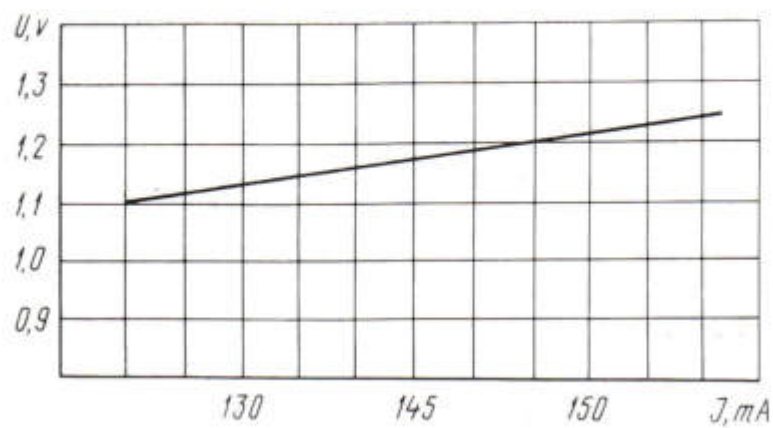
$R_{\text{т chip — pack.}} = 0,08 \text{ } ^\circ\text{C/мВт}$; $R_{\text{т chip av.}} = 0,1 \text{ } ^\circ\text{C/мВт}$, chip-package thermal resistance (under normal climatic conditions without forced cooling).



Зависимость входного тока от входного напряжения:

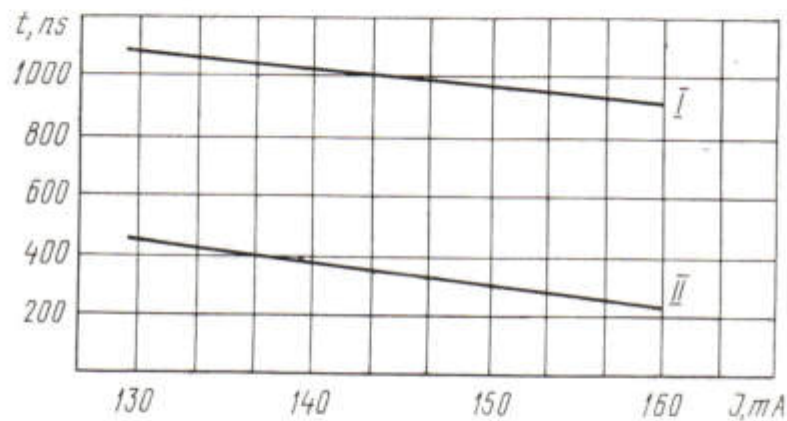
I — двойной вход; II — вход/выход; III — одинарный вход

Input Current as Function of Input Voltage: I — double input; II — input/output; III — single input



Зависимость напряжения инжектора от тока питания микросхемы при $t=35^{\circ}\text{C}$

Injector Voltage as Function of Integrated Circuit Supply Current at $t=35^{\circ}\text{C}$



Зависимость времени задержки распространения сигналов от величины тока питания при $t=25^{\circ}\text{C}$:

I — канал Б через АЛУ с РОН; II — канал А минуя АЛУ с входа И

Signal Propagation Delay Time as Function of Supply Current at $t=25^{\circ}\text{C}$:

I — B channel via arithmetic/logic unit from general-purpose register; II — A channel bypassing arithmetic/logic unit from И input

PACKAGE



244.48—8
I — switch; II — forty eight leads