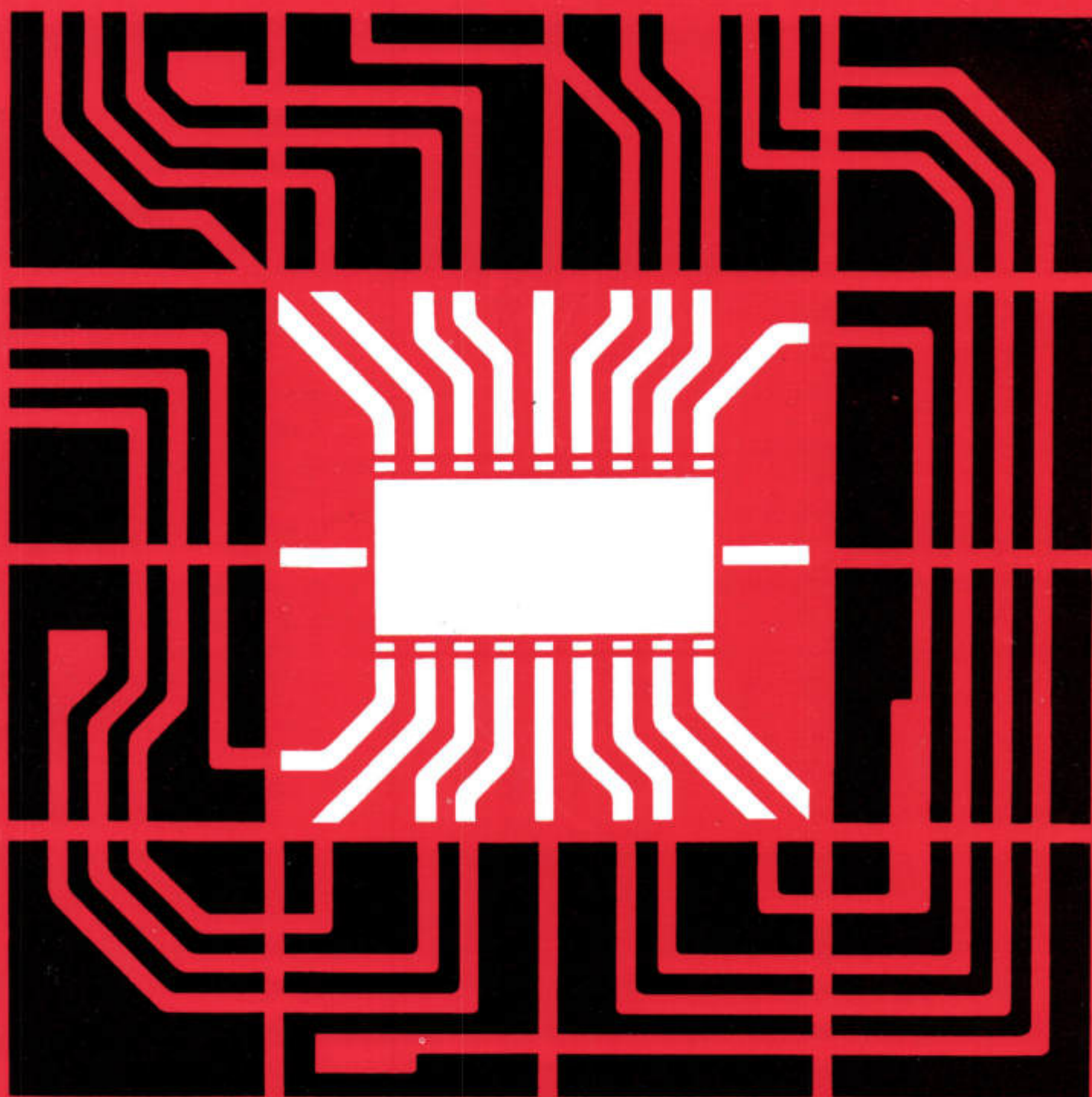


Микропроцессорный комплект
БИС ТТЛ с диодами Шоттки
Schottky TTL Microprocessor Chip Set

K 589



SSSR · MOSKVA

Микропроцессорный комплект БИС ТТЛ с диодами Шоттки (Серия K589)

Schottky TTL Microprocessor Chip Set (Series K589)

Набор интегральных микросхем состоит из полупроводниковых логических микросхем, изготовленных на основе транзисторно-транзисторной логики с диодами Шоттки по планарно-эпитаксиальной технологии.

Микросхемы представляют собой микропроцессорный комплект (МПК) больших интегральных схем, состоящий из процессорных, запоминающих и интерфейсных схем.

Микросхемы предназначены для построения быстродействующих контроллеров различной организации с частотой выдачи управляющих сигналов до 10 МГц, автономных и мини-ЭВМ различного назначения с быстродействием вычисления операций типа регистр — регистр до 1 млн. в секунду, измерительных систем, систем числового программного управления станками, систем обработки данных.

В состав серии микропроцессорного комплекта входят микросхемы:

K589ИК01 — блок микропрограммного управления (БМУ)

K589ИК02 — центральный процессорный элемент (ЦПЭ)

K589ИК03 — схема ускоренного переноса (СУП)

K589ИР12 — многорежимный буферный регистр (МБР)

K589ИК14 — блок приоритетного прерывания (БПП)

K589АП16 — шинный формирователь (ШФ)

K589АП26 — шинный формирователь с инверсией (ШФИ)

Блок БМУ управляет последовательностью выборки микрокоманд из микропрограммного ЗУ, построенного на ОЗУ, ПЗУ и ППЗУ данными переноса — сдвига в прямом и обратном направлениях из ЦПЭ и совместно с блоком БПП обеспечивает возможность обработки прерывания.

БМУ обладает следующими функциональными характеристиками:

- код операций команд на 8 разрядов;
- адрес памяти микропрограмм на 9 разрядов;
- обратный адрес, поступающий из памяти микропрограмм на 7 разрядов;

- выполняет 11 функций управления адресом микрокоманд;

- выполняет восемь функций управления индикаторной логикой;

- выходы с тремя состояниями или с открытым коллектором.

Элемент ЦПЭ представляет двухразрядную наращиваемую секцию обработки информации. Чтобы построить 16-разрядный микропроцессор, необходимо соединить 8 ЦПЭ. Каждый ЦПЭ содержит 11 регистров общего назначения и один накопительный регистр, независимый регистр адреса ЗУ, одноканальную схему синхронизации. ЦПЭ обладает следующими функциональными возможностями:

The set of integrated circuits consists of semiconductor logic microcircuits based on transistor-transistor logic with Schottky diodes manufactured by planar-epitaxial technology.

The microcircuits form a microprocessor chip set (MPS) of large-scale integrated circuits (LSIs) consisting of processor, storage and interface circuits.

The microcircuits are intended to build fast controllers of different configurations producing control signals at a frequency of up to 10 MHz; off-line and minicomputers of various applications with a speed of register-to-register operations of 1 million per second; measuring systems; numerical control systems for machine tools; data processing systems, and so on.

The microprocessor set consists of the following LSIs:

K589ИК01 — microprogram control unit (MCU)

K589ИК02 — central processor element (CPE)

K589ИК03 — fast carry circuits (FCC)

K589ИР12 — multimode buffer register (MBR)

K589ИК14 — priority interrupt unit (PIU)

K589АП16 — bus driver (BD)

K589АП26 — reversible bus driver (RBD)

The MCU controls the sequence of microcommand access in a microprogram storage unit built-around RAM, ROM and PROM by direct and backward data carry-shift from the CPE; and together with the PIU provides a processing interrupt capability.

The MCU features the following characteristics:

- 8-bit instruction operation code;

- 9-bit microprogram memory address;

- 7-bit reverse address coming from the microprogram memory;

- 11 microcommand address control functions;

- 8 indicating logic control functions;

- three-state outputs or open collector outputs.

The CPU is a two-bit expandable data processing unit. To form a 16-bit microprocessor it is necessary to connect 8 CPE. Each CPE contains 11 general-purpose registers, accumulator register, independent main storage address register, and a single-phase clock circuit. The CPU has the following capabilities:

- two's complement coded arithmetic operations;

- AND, OR, NOT and EXCLUSIVE-OR logic functions;

выполняет арифметические операции в двоичном дополнительном коде;

выполняет логические функции „И“, „ИЛИ“, „НЕ“ и „ИСКЛЮЧАЮЩЕЕ ИЛИ“;

выполняет проверку слова, части слова или одного разряда на „0“;

выполняет положительное и отрицательное приращение;

выполняет сдвиг влево и вправо;

вырабатывает сигналы ускоренного переноса;

обладает возможностью наращивания разрядности;

имеет три типа шин входных данных, два типа шин выходных данных стремя устойчивыми состояниями;

имеет 40 типов микроинструкций.

Схема СУП используется для обеспечения быстрого переноса в устройствах обработки информации с разрядностью более 4. Это позволяет значительно увеличить производительность системы. Всего одна схема необходима для обрабатываемого устройства на 16 разрядов. Несколько СУП могут использоваться для обрабатываемых устройств разрядностью 232 и более.

Регистр МБР является универсальным параллельным устройством хранения информации на 8 разрядов с выходными буферными схемами, с тремя устойчивыми состояниями. МБР имеет внутри кристалла селективную логику и независимый триггер запросов обслуживания прерывания ЦП.

МБР имеет 8 информационных выходов с тремя состояниями. Вследствие разнообразных возможностей, один или более МБР могут быть использованы для реализации многих типов интерфейсных и вспомогательных устройств в вычислительной технике и автоматике, включая:

простые регистры данных;

буферные регистры со стробированием данных;

мультиплексоры;

двунаправленные шинные формирователи;

регистры запросов на прерывание.

Блок БПП обладает возможностью прерывания выполнения задачи.

Один или более модулей позволяют внешним сигналам, называемым запросами на прерывание, останавливать решение текущей задачи, запоминать состояние и перейти к выполнению новой задачи. Обычно БПП стробируется (опрашивается) в конце выполнения каждой команды. В этот момент, если БПП принимает запрос на прерывание, БМУ переходит к обработке прерывания. БПП имеет:

программируемый текущий приоритет;

8-разрядный регистр запроса приоритета;

4-разрядный регистр текущего приоритета;

3-разрядный шифратор с открытым коллектором и обладает возможностью наращивания.

Формирователи ШФ и ШФИ являются параллельными реверсивными формирователями шин на 4 разряда, информации, одну шину выдачи информации и одну двунаправленную шину приема и выдачи данных. В ШФ информация приходит без изменений, а в ШФИ — с инверсией. Такая организация и наличие выходов с тремя состояниями позволяют проектировать достаточно гибкие магистрали.

zero check-up of a word, part of a word or one bit of a word;

negative and positive adding;

right and left shift;

fast carry signal generation;

the register length expansion feature;

three types of input data buses, two types of output data buses with three stable states;

microinstructions of 40 types.

The FCC is used to provide a fast carry in 4-bit data processing units. This increases significantly the system capacity. Only one circuit is necessary for a 16-bit processing unit. Several FCCs can be used in 232- and more-bit processing units.

The MBR is a universal 8-bit parallel data storage register having output buffer circuits with three stable states. MBR has a selective logic inside the chip and an independent interrupt request trigger for the CP. The MBR has 8 three-state data outputs. Because of its wide capabilities one or more MBR can be used to implement many types of interface and auxiliary facilities in computational and automatic equipment, in particular:

simple data registers;

data strobing buffer registers;

multiplexors;

bidirectional bus drivers;

interrupt request registers.

The PIU provides interruption of computation. One or more modules allow the external signals called interrupt requests, to stop the current computation of a task, store the state and start implementing a new task. Usually the PIU is strobed at the end of each command. At this moment, if the PIU is receiving an interrupt request, the MCU starts processing of the interrupt. The PIU is expandable and comprises:

programmable current priority;

8-bit priority request register;

4-bit current priority register;

3-bit open-collector encoder.

The BD and RBD are 4-bit data parallel reversible bus drivers for one bidirectional input and output data. Data come into the BD without any change, and into the RBD, with an inversion. Such an organization and three-state outputs make it possible to design flexible data buses.

ОСНОВНЫЕ ДАННЫЕ

Наименование параметра	K589ИК01	K589ИК02	K589ИК03	K589ИР12	K589ИК14	K589АП16	K589АП26
Напряжение питания, В	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25
Ток потребления, мА	170	145	95	90	90	95	95
Выходное напряжение лог "1", В	2,4	2,4	2,4	2,4	2,4	3,65	3,65
Выходное напряжение лог "0", В	0,5	0,5	0,5	0,5	0,5	0,4	0,4
Длительность цикла, нс	80	100	—	—	80	—	—
Время группового переноса, нс	—	—	10	—	—	—	—
Время сквозного переноса, нс	—	—	13	—	—	—	—
Время установки информации, нс	—	—	—	15	—	—	—
Время сохранения информации, нс	—	—	—	20	—	—	—
Время задержки распространения информации, нс	—	—	—	—	—	30	25

SPECIFICATIONS

Parameter	K589ИК01	K589ИК02	K589ИК03	K589ИР12	K589ИК14	K589АП16	K589АП26
Supply voltage, V	5±0.25	5±0.25	5±0.25	5±0.25	5±0.25	5±0.25	5±0.25
Current consumption, mA	170	145	95	90	90	95	95
Logic "1" output voltage, V	2.4	2.4	2.4	2.4	2.4	3.65	3.65
Logic "0" output voltage, V	0.5	0.5	0.5	0.5	0.5	0.4	0.4
Cycle duration, ns	80	100	—	—	80	—	—
Cascaded carry time, ns	—	—	10	—	—	—	—
Ripple-through carry time, ns	—	—	13	—	—	—	—
Data setup time, ns	—	—	—	15	—	—	—
Data hold time, ns	—	—	—	20	—	—	—
Data propagation delay time, ns	—	—	—	—	—	30	25

УСЛОВИЯ ЭКСПЛУАТАЦИИ

Интервал температур, °C -10...+70

OPERATING CONDITIONS

Working temperature range, °C . . -10 to +70

КОНСТРУКТИВНОЕ ОФОРМЛЕНИЕ

Тип	Корпус (ГОСТ 17467—72)
K589ИК01	230.40-1
K589ИК02	247.28-1
K589ИК03	247.28-1
K589ИР12	239.24-2
K589ИК14	239.24-2
K589АП16	238.16-2
K589АП26	238.16-2

CONSTRUCTION

Type	Package (GOST 17467—72)
K589ИК01	230.40-1
K589ИК02	247.28-1
K589ИК03	247.28-1
K589ИР12	239.24-2
K589ИК14	239.24-2
K589АП16	238.16-2
K589АП26	238.16-2