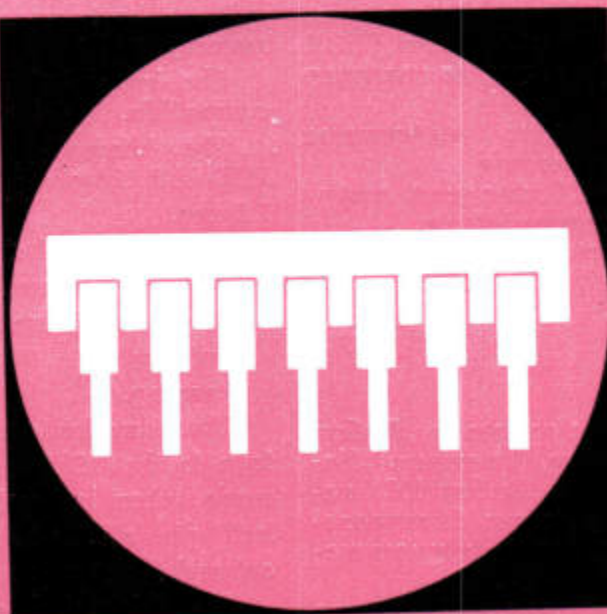


ИНТЕГРАЛЬНАЯ МИКРОСХЕМА
INTEGRATED CIRCUIT

KPI60IPPI



ELORG

SSSR · MOSKVA

ИНТЕГРАЛЬНАЯ МИКРОСХЕМА KP1601PP1 INTEGRATED CIRCUIT

Микросхема является функциональным аналогом микросхемы ER3400 (General Instruments).

Микросхема KP1601PP1 — репрограммируемое полупостоянное запоминающее устройство (РПЗУ) с электрическим стиранием информации.

Применение микросхем KP1601PP1 в аппаратуре позволяет расширить функциональные возможности систем памяти и создать устройства с улучшенными техническими и экономическими характеристиками.

В микросхеме наряду с режимом общего стирания реализован режим построчного селективного стирания информации. По выходным цепям обеспечивается третье состояние с высоким выходным сопротивлением, позволяющее увеличить информационную емкость блоков памяти, выполненных на микросхемах KP1601PP1.

Режим электрического стирания информации дает возможность изменять записанную в РПЗУ информацию в процессе эксплуатации, не извлекая микросхему из блока памяти.

Входы и выходы микросхемы совместимы с ТТЛ ИС. Схема полностью статическая.

Микросхема выпускается в 24-выводном пластмассовом корпусе 2120.24-3 с шагом 2,5 мм.

В микросхеме предусмотрены четыре режима работы:

- общее стирание,
- избирательное стирание,
- запись,
- считывание.

Они выполняются при подаче на вывод „Выбор ИС“ напряжения высокого уровня. В режиме „Не-выбор ИС“ при подаче на вывод „Выбор ИС“ напряжения низкого уровня происходит блокирование всех режимов работы микросхемы и уменьшение потребляемой мощности.

Работу микросхемы иллюстрирует временная диаграмма.

РЕЖИМ ОБЩЕГО СТИРАНИЯ

В режиме общего стирания осуществляется одновременное стирание информации во всех ячейках накопителя РПЗУ при подаче импульса напряжения низкого уровня на вывод „Стирание“. При этом истоковые и стоковые цепи запоминающих транзисторов накопителя отключаются от цепей записи и считывания информации, а на затворы всех транзисторов подается напряжение питания $U_{cc2} = 5$ В. При поступлении на подложку накопителя напряжения стирания отрицательной полярности амплитудой 30 В стоковые и истоковые области запоминающих МНОП-транзисторов заряжаются через открытые р-п переходы. На всех электродах запоминающего транзистора относительно затвора

The integrated circuit is a functional analogue of microcircuit ER3400 (General Instruments).

The KP1601PP1 integrated circuit is an electrically erasable reprogrammable semipermanent memory (RSPM).

The application of the KP1601PP1 integrated circuits in apparatus allows to expand functional capabilities of memory systems and to develop devices with improved technical and economic characteristics.

In addition to the common erasure mode, the integrated circuit has the data row selective erasure mode. Provision is made of tri-state outputs with high output resistance, which allows to increase the information capacity of memory units using the KP1601PP1 integrated circuits.

The electrical data erasure mode provides facilities for changing data written into the RSPM during operation without removing the integrated circuit from the memory unit.

The integrated circuit inputs and outputs are TTL compatible. The circuit is fully static.

The integrated circuit is encapsulated in a type 2120.24-3 24-pin plastic package with a spacing of 2.5 mm.

The integrated circuit offers four operating modes: common erasure; selective erasure; writing; reading.

These modes are operated on applying high voltage to the „Chip select“ pin. In the chip non-select mode, when low voltage is applied to the „Chip select“ pin, all the integrated circuit modes are locked out and the power consumption is reduced.

The integrated circuit operation is shown in the timing chart.

COMPLETE ERASURE MODE

In the common erasure mode, on applying a low voltage pulse to the „Erasure“ pin, the information in all memory locations is erased simultaneously. In this case the drain and source regions of the array memory transistors are disconnected from the write and read circuits, and supply voltage $U_{cc2} = 5$ V is applied to the gates of all transistors. When an erasing voltage of -30 V is applied to the array substrate, the drain and source regions of the memory-MNOS transistors are charged via open p-n junctions. A voltage of -35 V is set on all the memory cells which go into the low threshold voltage state, and a high voltage is

устанавливается напряжение — 35 В. При этом все запоминающие элементы переходят в состояние с низким пороговым напряжением и на выходах микросхемы устанавливается напряжение высокого уровня.

При невыборе ИС на подложку накопителя поступает напряжение +5 В и режим общего стирания блокируется.

РЕЖИМ ИЗБИРАТЕЛЬНОГО СТИРАНИЯ

В режиме избирательного стирания при подаче импульса напряжения низкого уровня на выводы „Стирание” и „Запись” осуществляется стирание информации из 64 ячеек памяти одной строки (четыре 16-разрядных слова). Выбор строки производится в соответствии с кодом адреса, установленным на выводах А4—А9. После стирания по данным ячейкам памяти на выходах микросхемы устанавливается напряжение высокого уровня. При этом информация в остальных ячейках накопителя не изменяется.

РЕЖИМ ЗАПИСИ

В режиме записи при подаче на вывод „Запись” напряжения низкого уровня выводы микросхемы „Вход/выход 1р” — „Вход/выход 4р” переключаются для приема информации. Поступающая информация в виде четырехразрядного слова записывается в выбранные ячейки накопителя в соответствии с кодом адреса, установленным на выводах А0—А9.

Если на информационный вход микросхемы подается напряжение низкого уровня, на затворе запоминающего элемента, находящегося на пересечении выбранной строки и столбца, формируется напряжение —30 В, на стоке, истоке и подложке — +5 В. При этом выбранный запоминающий элемент переходит в состояние с высоким пороговым напряжением: осуществляется запись логической единицы.

Если на информационный вход подается напряжение высокого уровня, на затворе соответствующего запоминающего элемента в режиме записи формируется напряжение +5 В. При этом состояние запоминающего элемента, имеющего низкое пороговое напряжение после стирания информации, не изменяется.

При невыборе ИС подаваемые напряжения не изменяют состояния запоминающих МНОП-транзисторов накопителя.

РЕЖИМ СЧИТЫВАНИЯ

В режиме считывания информации, записанной в накопителе РПЗУ, выводы „Вход/выход 1р” — „Вход/выход 4р” переключаются для выдачи данных. В соответствии с кодом адреса, подаваемым на выводы А0—А9, выбираются четыре запоминающие ячейки накопителя. Информация, хранящаяся в запоминающих ячейках, усиливается усилителями считывания и выходными формирователями и выдается на выход микросхемы в виде четырехразрядного числа.

При невыборе ИС на выходах микросхемы уста-

set on the integrated circuit outputs.

In case of the chip non-select, a voltage of +5 V is applied to the array substrate, and the complete erasure mode is locked out.

SELECTIVE ERASURE MODE

In the selective erasure mode, when a low voltage pulse is applied to the „Erasure” and „Write” pins, data from 64 one-row memory locations (four 16-bit words) is erased. The row selection is performed in accordance with the address code set on pins А4 to А9. After erasing on the specified memory locations, the integrated circuit outputs are set to high voltage. In this case the information in the rest array locations remains unchanged.

WRITE MODE

In the write mode, when low voltage is applied to the „Write” pin, the „Input/output 1 b” to „Input/output 4b” pins of the integrated circuit change over to data reception. The incoming information in the form of a 4-bit word is written in the selected array locations in accordance with the address code on pins А0 to А9.

If a low voltage is applied to the integrated circuit data input, a voltage of —30 V is produced on the memory cell gate, that is on the intersection of the selected row and column, and a voltage of +5 V, on the drain, source and substrate. In this case the selected memory cell goes to the high threshold voltage state, and logic „1” writing takes place.

If in the write mode a high voltage is applied to the data input, a voltage of +5 V is produced on the gate of the corresponding memory cell. In this case, after the data has been erased, the state of the low threshold voltage memory cell remains unchanged.

In the chip non-select condition, the applied voltages do not change the state of the array memory MNOS-transistors.

READ MODE

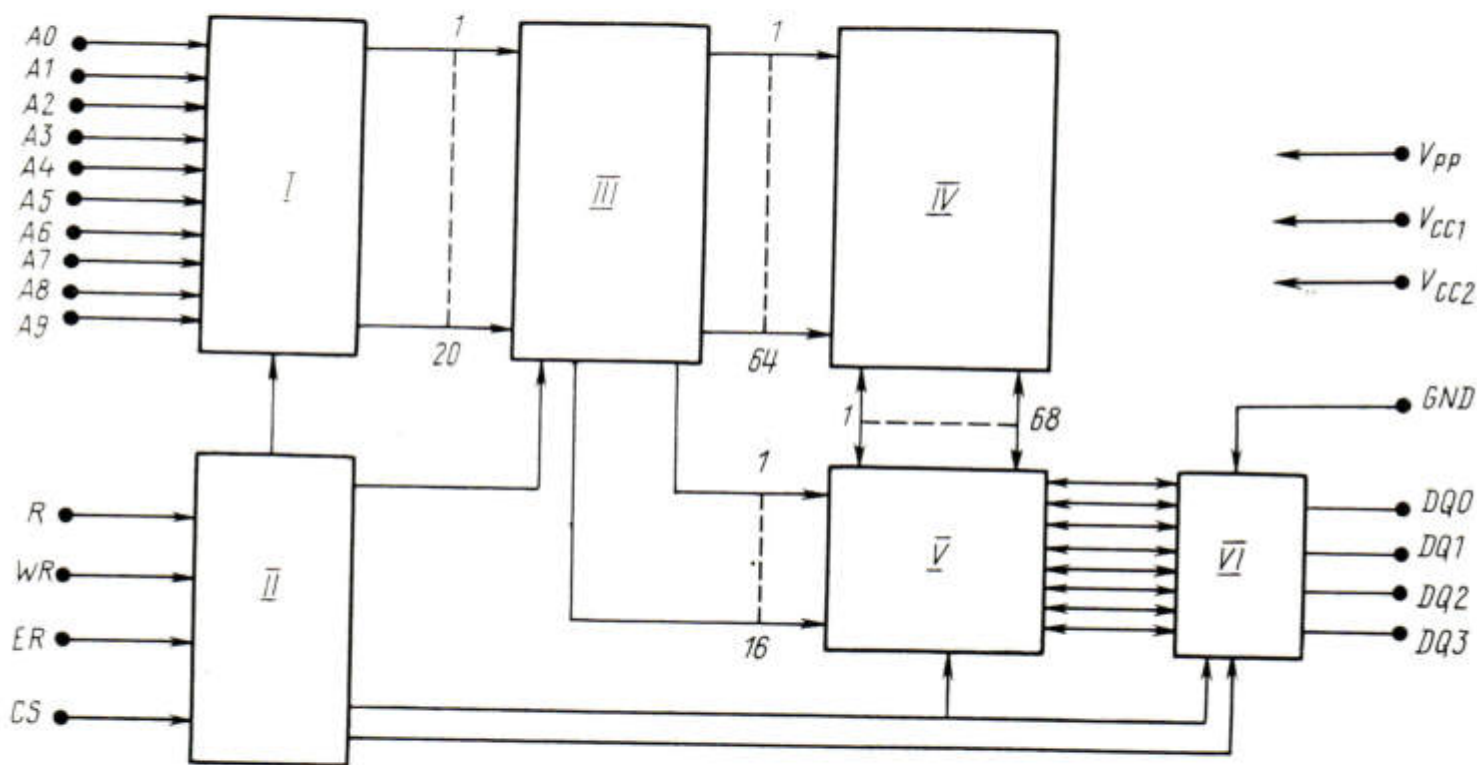
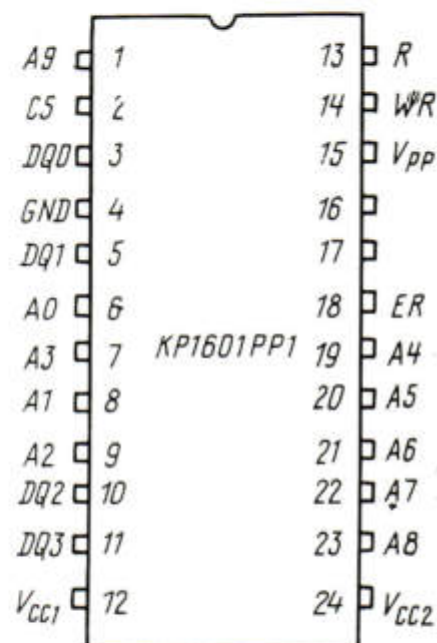
In the mode of reading data written in the RSPM array, the „Input/output 1b” to „Input/output 4b” pins are changed over to data readout. Four memory locations of the array are selected in accordance with the address code applied to pins А0 to А9. The data stored in the memory locations is amplified by the read amplifiers and output drivers and are delivered to the integrated circuit output as a 4-digit number.

In the chip non-select condition, the high-impedance state is set on the integrated circuit outputs.

навливается высокоимпедансное состояние. Блокирование режима считывания при поступлении сигнала „Невыбор ИС“ позволяет объединять выходы микросхемы по схеме ИЛИ при наращивании информационной емкости блоков памяти, выполненных на микросхемах КР1601РР1.

Locking-out of the read mode upon applying "Non-select" signal allows OR-tied outputs with increasing information capacity of memory units using the КР1601РР1 integrated circuits.

Выходы	Назначение	Pin	Function
1	Адрес А9	1	Address A9
2	Выбор ИС	2	Chip select
3	Вход/выход 1р	3	Input/output 1b
4	Корпус	4	Ground
5	Вход/выход 2р	5	Input/output 2b
6	Адрес А0	6	Address A0
7	Адрес А3	7	Address A3
8	Адрес А1	8	Address A1
9	Адрес А2	9	Address A2
10	Вход/выход 3р	10	Input/output 3b
11	Вход/выход 4р	11	Input/output 4b
12	U _{CC1}	12	U _{CC1}
13	Считывание	13	Read
14	Запись	14	Write
15	U _{PP}	15	U _{PP}
16	—	16	—
17	—	17	—
18	Стирание	18	Erase
19	Адрес А4	19	Address A4
20	Адрес А5	20	Address A5
21	Адрес А6	21	Address A6
22	Адрес А7	22	Address A7
23	Адрес А8	23	Address A8
24	U _{CC2}	24	U _{CC2}

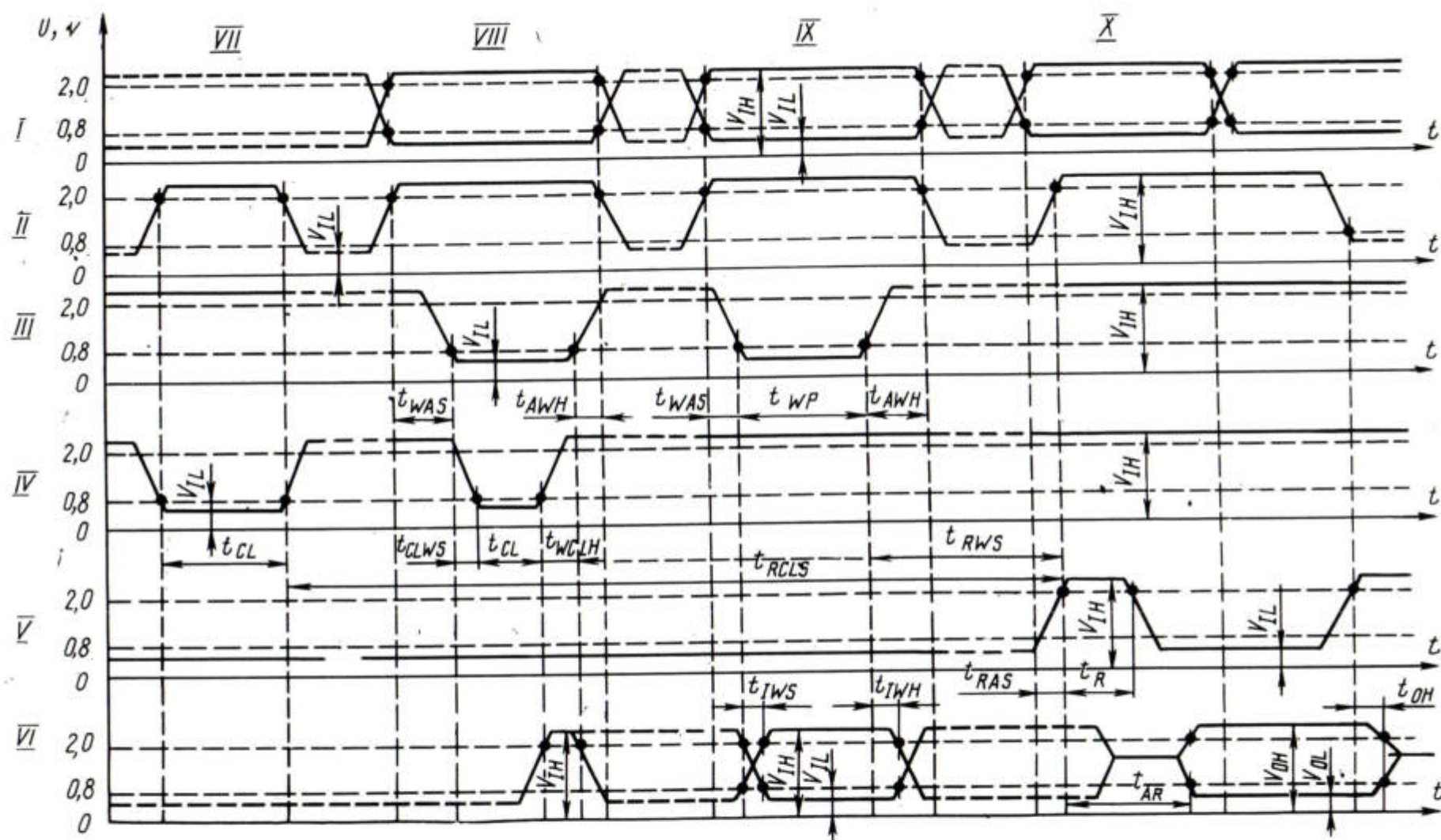


Структурная схема:

I — усилители-формирователи адресных сигналов; II — усилители-формирователи управляющих сигналов; III — дешифраторы; IV — матрица-накопитель (4096 бит.); V — мультиплексоры; VI — выходные усилители-формирователи, усилители записи

Block Diagram:

I — address signal driver-amplifiers; II — control signal driver-amplifiers; III — decoders; IV — memory matrix (4096 bits); V — multiplexers; VI — output driver-amplifiers, write amplifiers



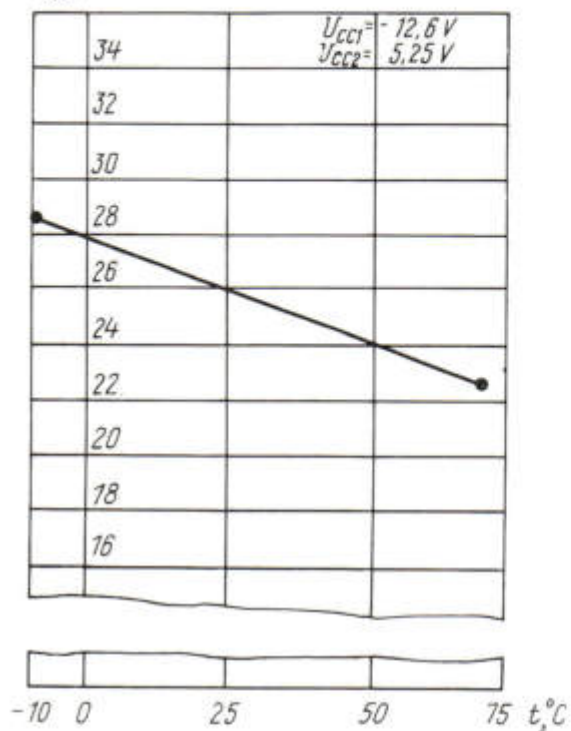
Временная диаграмма:

I — адрес; II — выбор ИС; III — запись; IV — стирание; V — считывание; VI — информационный вход/выход; VII — общее стирание; VIII — избирательное стирание; IX — запись; X — считывание

Timing Chart:

I — address; II — chip select; III — write; IV — erasure; V — read; VI — data input/output; VII — common erasure; VIII — selective erasure; IX — write; X — read

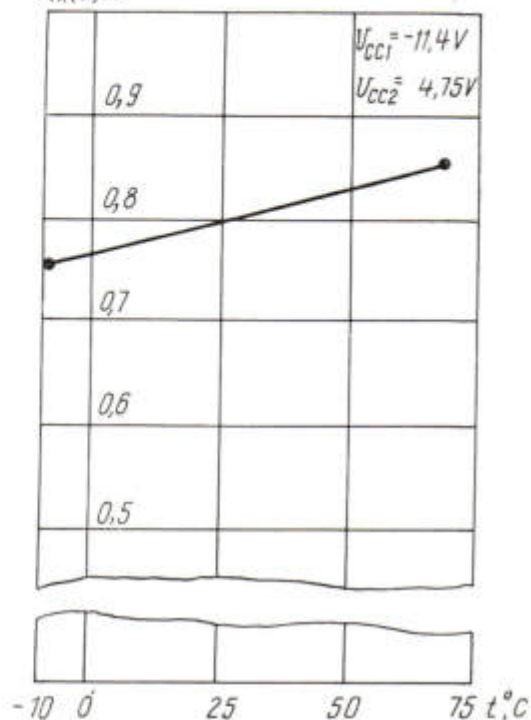
I_{CCS}, mA



Зависимость тока потребления по источнику питания в режиме „Выбор ИС“ от температуры

Supply Current in Chip Select Mode-versus-Temperature Curve

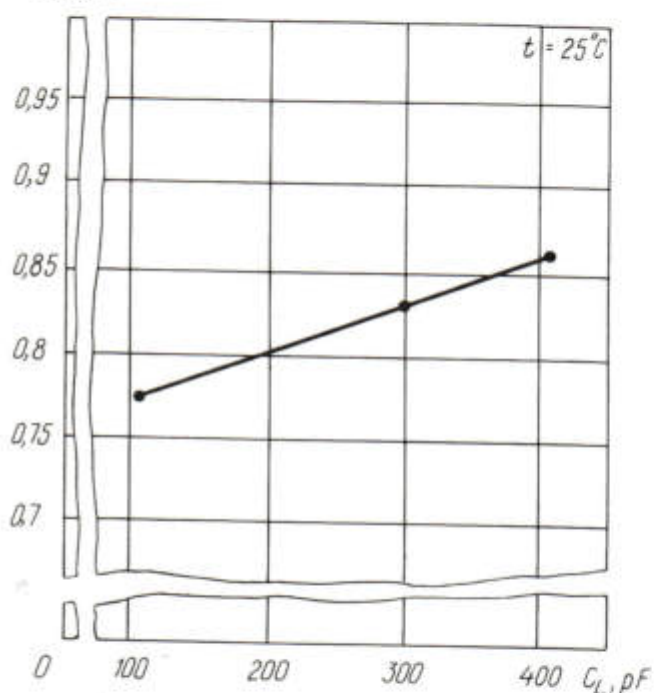
$t_{AR}, \mu s$



Зависимость времени выборки считывания от температуры

Read Access Time-versus-Temperature Curve

$t_{AR}, \mu s$



Зависимость времени выборки считывания от емкости нагрузки

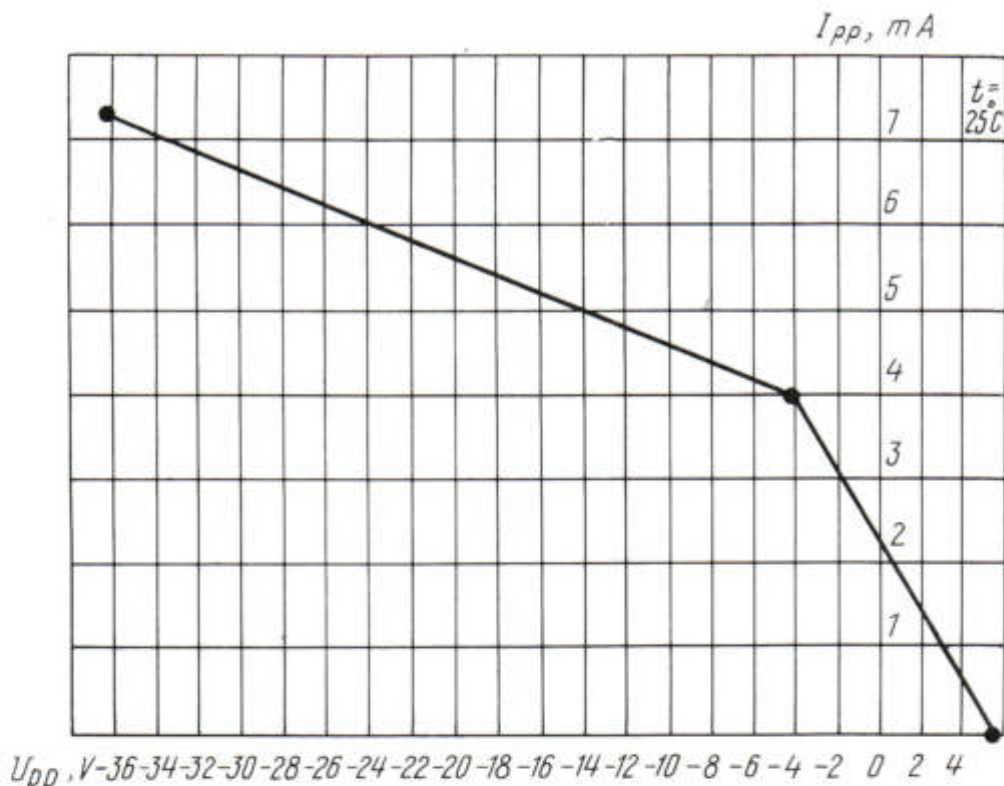
Read Access Time-versus-Load Capacity Curve

ОСНОВНЫЕ ДАННЫЕ

Информационная емкость, бит	4096
Организация	1024 бит × 4 разряда
Время выборки адреса, мкс	0,9
Ток потребления, мА	35
Время хранения информации, ч	5000
Количество циклов перезаписи	10 ¹

SPECIFICATIONS

Information capacity, bit	4096
Organization	1024 words × 4 bits
Address access time, μs	0.9
Drain current, mA	35
Data storage time, h	5000
Number of refresh cycles	10 ¹



Зависимость тока от напряжения на выводе „Программирование“ в режимах стирания, записи, избирательного стирания

Current as a Function of Voltage across „Programming“ Pin in Erasure, Write and Selective Erasure Modes

Характеристики по постоянному току

$[U_{CC1} = 12 \text{ В} \pm 0,6 \text{ В}, U_{CC2} = 5 \text{ В} \pm 0,25 \text{ В}, -10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}]$

Выходное напряжение низкого уровня (U_{OL}) при $I_L \leq 1,6 \text{ мА}$, В	$\leq 0,4$
Выходное напряжение высокого уровня (U_{OH}) при $I_L \leq -0,1 \text{ мА}$, В	$\geq 3,0$
Ток потребления по источнику питания U_{CC1} , мА:	
в режиме „Выбор ИС“ (I_{CCS})	≤ 35
в режиме „Невыбор ИС“ ($I_{CC\bar{S}}$)	≤ 17
Ток утечки на адресных и управляющих входах, (I_{LI}) мкА	≤ 10
Ток утечки на выходах закрытой схемы в режиме „Невыбор ИС“, мкА:	
низкого уровня (I_{LOL})	≤ 100
высокого уровня (I_{LOH})	≤ 100
Напряжение на выводе „Программирование“ в режимах стирания, записи, избирательного стирания (U_{PP}), В:	
минимальное	-33
максимальное	-31
Напряжение на выводе „Программирование“ в режиме считывания (U_{PR}), В:	
минимальное	-33
максимальное	$U_{CC2} + 0,2$

Характеристики по переменному току

$[U_{CC1} = 12 \text{ В} \pm 0,6 \text{ В}, U_{CC2} = 5 \text{ В} \pm 0,25 \text{ В}, -10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}]$

Время выборки считывания (t_{AR}), мкс	$\leq 0,9$
Время сохранения выходного сигнала после подачи сигнала считывания (t_{OH}), мкс	$\geq 0,1$
Длительность сигнала записи (t_{WP}), мс	10—50
Длительность сигнала стирания (t_{CL}), мс	100—200
Длительность сигнала считывания (t_R), мкс	$\geq 0,6$
Время сдвига сигнала считывания:	
относительно сигнала записи (t_{RWS}), мс	≥ 2
относительно сигнала стирания (t_{RCLs}), мс	≥ 2
относительно сигнала адреса (t_{RAS}), мкс	≥ 0

D. C. Characteristics

$[U_{CC1} = 12 \text{ В} \pm 0,6 \text{ В}; U_{CC2} = 5 \text{ В} \pm 0,25 \text{ В}; -10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}]$

Low output voltage (U_{OL}) at $I_L \leq 1,6 \text{ mA}$, V	$\leq 0,4$
High output voltage (U_{OH}) at $I_L \leq -0,1 \text{ mA}$, V	$\geq 3,0$
U_{CC1} supply current, mA:	
in chip select mode (I_{CCS})	≤ 35
in chip non-select mode ($I_{CC\bar{S}}$)	≤ 17
Leakage current on address and control inputs (I_{LI}), μA	≤ 10
Leakage current on closed loop outputs in chip non-select mode, μA :	
low level (I_{LOL})	≤ 100
high level (I_{LOH})	≤ 100
Programming pin voltage in erasure, write and selective erasure modes (U_{PP}), V:	
minimum	-33
maximum	-31
Programming pin voltage in read mode (U_{PR}), V:	
minimum	-33
maximum	$V_{CC2} + 0,2$

A. C. Characteristics

$[U_{CC1} = 12 \text{ В} \pm 0,6 \text{ В}; U_{CC2} = 5 \text{ В} \pm 0,25 \text{ В}; -10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}]$

Reading access time (t_{AR}), μs	$\leq 0,9$
Previous read data valid with respect to read signal (t_{OH}), μs	$\geq 0,1$
Write signal width (t_{WP}), ms	10 to 50
Erasure signal width (t_{CL}), ms	100 to 200
Reading signal width (t_R), μs	$\geq 0,6$
Reading signal delay time:	
relative to write signal (t_{RWS}), ms	≥ 2
relative to erasure signal (t_{RCLs}), ms	≥ 2
relative to address signal (t_{RAS}), μs	≥ 0

Время сдвига сигнала записи относительно сигнала адреса (t_{WAS}), мкс
 Время сохранения сигнала адреса после окончания сигнала записи (t_{AWH}), мс
 Время сохранения сигнала записи после окончания сигнала стирания (t_{WCLH}), мс
 Время сдвига сигнала стирания относительно сигнала записи (t_{CLWS}), мкс
 Время сдвига сигнала на информационном входе относительно сигнала записи (t_{IWS}), мкс
 Время сохранения входной информации после окончания сигнала записи (t_{IWH}), нс
 Время непрерывного считывания информации, записанной в микросхему (T_R), ч
 Время хранения информации в режиме "Невыбор ИС" (T_I), ч
 Время хранения информации при отключенных источниках питания (T_2), ч
 Количество циклов перезаписи информации по строке (N_{CW})

Емкости
 [$-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$]

Входная емкость (C_{IN}), пФ
 Выходная емкость (C_{OUT}), пФ
 Емкость нагрузки (C_L), пФ

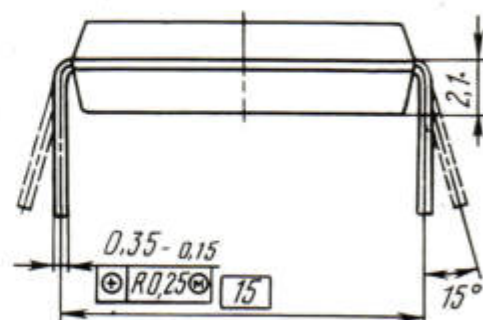
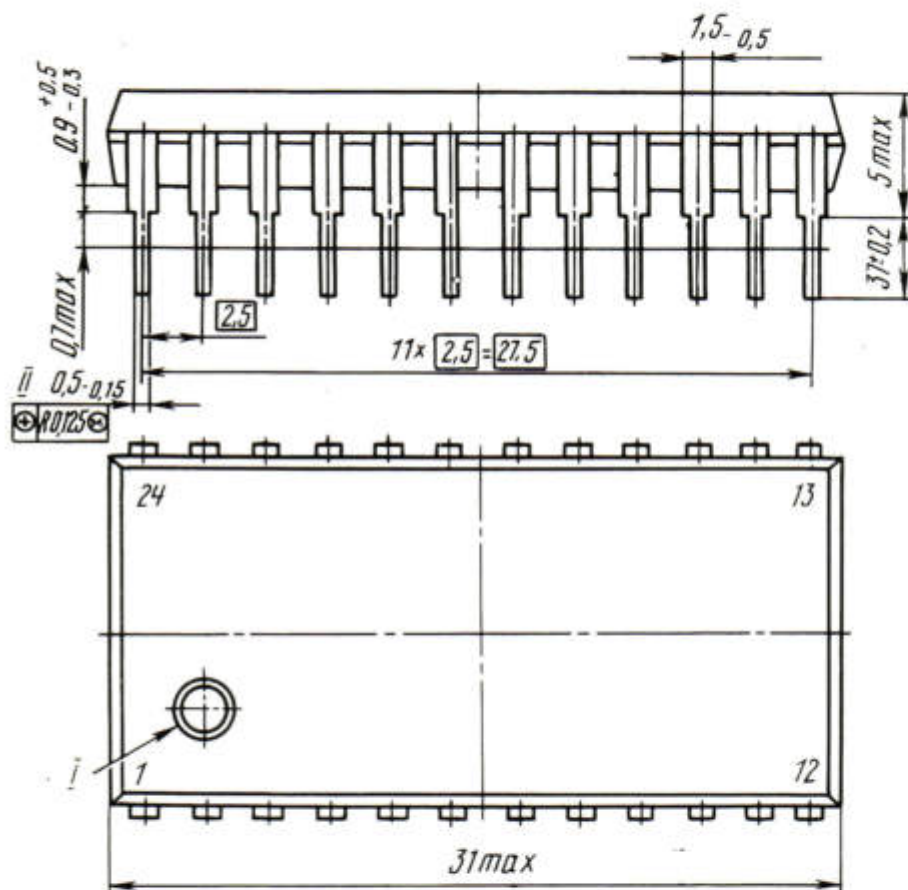
Write signal delay time relative to address signal (t_{WAS}), μs
 Write recovery time (t_{AWH}), ms
 Erasure recovery time (t_{WCLH}), ms
 Erasure signal delay time relative to write signal (t_{CLWS}), μs
 Signal delay time on data input relative to write signal (t_{IWS}), μs
 Input data recovery time (t_{IWH}), ns
 Continuous read time of data written on chip (T_R), h
 Data storage time in chip non-select mode (T_I), h
 Unpowered data storage time (T_2), h
 Number of data refresh cycles on row (N_{CW})

Capacitances
 [$-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$]

Input capacitance (C_{IN}), pF
 Output capacitance (C_{OUT}), pF
 Load capacitance (C_L), pF

КОРПУС

PACKAGE



I — ключ; II — двадцать четыре вывода

2120.24—3;

I — alignment pin; II — 24 pins