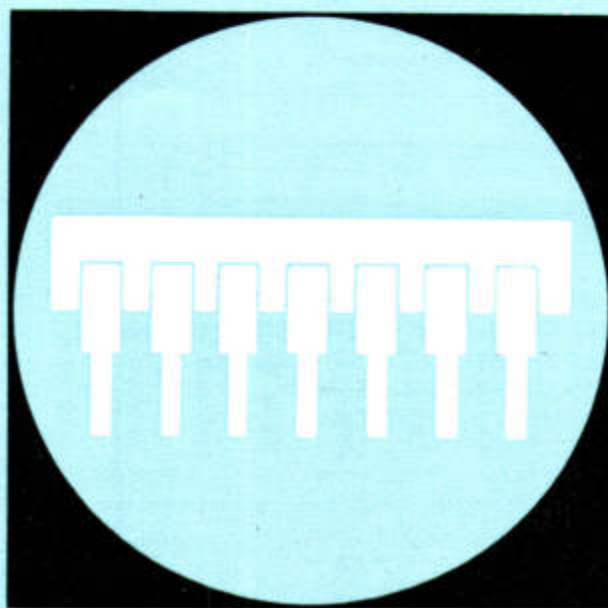


ИНТЕГРАЛЬНАЯ МИКРОСХЕМА
INTEGRATED CIRCUIT

КР580ИК80А



ELORG

SSSR·MOSKVA

МИКРОСХЕМА KP580ИК80А INTEGRATED CIRCUIT

Микросхема является аналогом микросхемы 8080А (Интел.).

Шестнадцатиразрядный счетчик программ обеспечивает прямой доступ к 64 К памяти.

Регистры общего назначения могут использоваться как три шестнадцатиразрядных или шесть восьмиразрядных регистров.

Возможна работа в режиме прямого доступа к памяти.

Возможна работа с памятью и устройствами ввода/вывода любого быстродействия.

Шестнадцатиразрядный указатель стека обеспечивает вложение неограниченного числа подпрограмм.

Имеется 256 восьмиразрядных устройств ввода и 256 восьмиразрядных устройств вывода.

Обеспечивается многоуровневое прерывание.

По входам и выходам совместима с микросхемами ТТЛ.

Выпускается в сорока-выводном пластмассовом корпусе типа DIP с шагом 2,5 мм *.

Центральный процессор KP580ИК80А является функционально законченным однокристалльным параллельным восьмиразрядным микропроцессором с фиксированной системой команд.

Он дает возможность формировать физический адрес команд и операндов, асинхронные сигналы обращения к памяти и внешним устройствам, считывать команды и операнды из памяти, декодировать принятую команду. Микропроцессор выполняет операции в соответствии с системой команд и обеспечивает прерывание выполняемой программы по внешним запросам, приостанавливает выполнение команд и переводит в высокоимпедансное состояние шины адреса и данных по внешнему сигналу ЗАХВАТ.

Система команд микропроцессора насчитывает 78 базовых команд. По этим командам осуществляются арифметические и логические операции, обрабатываются слова двойной длины, операции обмена между регистрами и памятью, осуществляется управление и обмен данными с внешними устройствами, управление прерыванием.

Микропроцессор содержит шесть восьмиразрядных универсальных регистров, указатель стека и счетчик команд. Шестнадцатиразрядный адрес обеспечивает адресацию 64 кбайт памяти. Время выполнения команды в зависимости от ее типа составляет от 2 до 8 мкс.

This integrated circuit is an analogue to microprocessor 8080A (Intel.).

The 16-bit instruction counter provides direct access to a 64 K memory.

The general-purpose registers can be used as either three 16-bit or six 8-bit registers.

The direct memory access mode of operation is possible.

Operation with a memory and input/output devices with any speed is possible.

The 16-bit stack pointer provides facilities for embedding an unlimited number of subroutines.

The processor features 256 eight-bit input devices and 256 eight-bit output devices.

A multi-level interrupt facility is provided.

The inputs and outputs are TTL compatible.

Comes encased in a type DIP 40-lead plastic package with a 2.5 mm spacing *.

The KP580ИК80А central processor unit is a functionally complete single-chip parallel 8-bit microprocessor with a fixed instruction set.

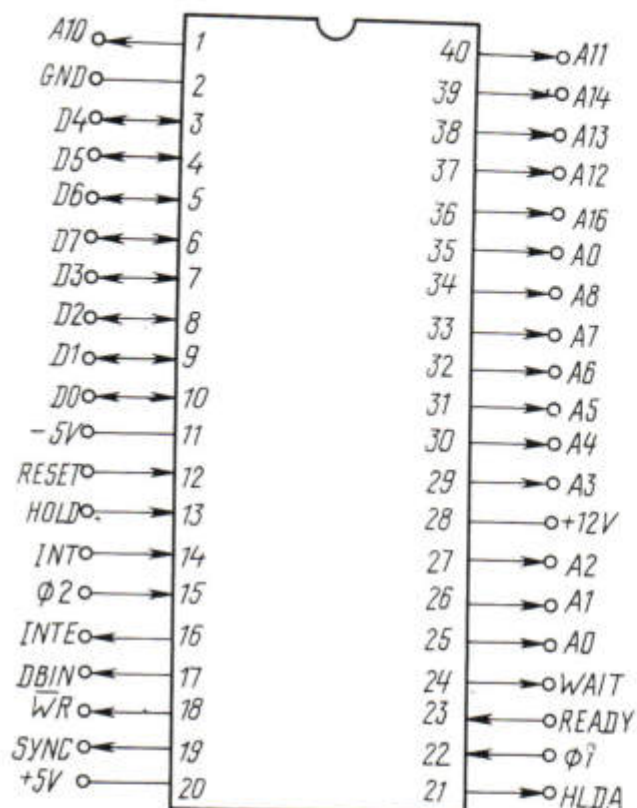
It provides facilities for forming physical instruction and operand address, asynchronous memory and peripherals access signals, for reading instructions and operands off the memory, and for decoding the received instruction. The microprocessor performs operations in accordance with the instruction set and interrupts current program execution on external requests, interrupts execution of instructions and changes over the address and data buses to the high-impedance state by an external HOLD signal.

The microprocessor repertoire consists of 78 basic instructions. By these instructions, arithmetical and logical operations are performed, double-length words are processed, operations of transferring data between the registers and memory, control and data transfer between the microprocessor and peripherals and interrupt control are performed.

The microprocessor comprises six 8-bit general-purpose registers, a stack pointer, and an instruction-address register. The 16-bit address provides address to a 64 kbyte memory. The execution time is from 2 to 8 μ s, depending on the instruction type.

* По требованию заказчика схема может быть изготовлена в сорокавыводном пластмассовом корпусе типа DIP с шагом 2,54 мм.

* The integrated circuit encased in a type DIP 40-lead plastic package with a 2.54 mm spacing is available on request.



Выводы	Назначение
1, 25—27, 29—40	A15—A0 Адресная шина (трехстабильный выход) Адресная шина используется для адресации памяти (до 64 К 8-бит слов) или указания номера устройства ввода/вывода (256 устройств ввода и 256 устройств вывода). A0 — младший разряд
2	U_{ss} Корпус (вход)
3—10	$D_7—D_0$ Шина данных (трехстабильный вход/выход) Двухнаправленная шина данных связывает процессор, память и устройства ввода/вывода и служит для передачи команд и данных. Во время действия сигнала синхронизации на шину данных выдается словосостояние, которое описывает текущий машинный цикл. D_0 — младший разряд
11	U_{vv} Источник питания, вход $-5 \text{ В} \pm 0,25 \text{ В}$
12	RESET Сброс (вход) При подаче сигнала RESET счетчик команд сбрасывается. После снятия сигнала RESET программа начинается с команды, находящейся в нулевой ячейке памяти. Триггеры INTE и HLDA также сбрасываются. Флаги, аккумулятор, указатель стека и регистры не сбрасываются, для входного сигнала RESET, который должен длиться минимум 3 тактовых периода, не требуется внешняя синхронизация
13	HOLD Захват шин (вход) При подаче сигнала HOLD процессор переходит в состояние ЗАХВАТ. Состояние ЗАХВАТ позволяет внешнему устройству

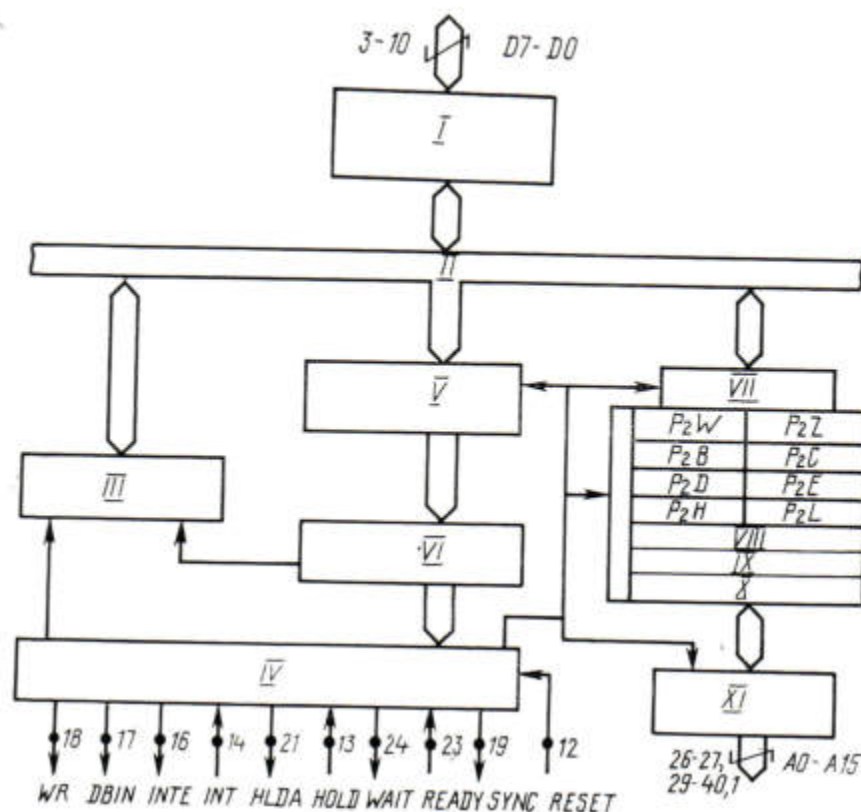
Lead	Function
1, 25 to 27, 29 to 40	A15—A0 Address bus (tri-stable output) Address bus is used for addressing a memory (up to 64 K 8-bit words) or for indicating an I/O device No. (256 input and 256 output devices) A0 — lowest-order digit
2	U_{ss} Case (input)
3 to 10	D_7 to D_0 Data bus (tri-stable I/O) Bidirectional data bus interconnects the processor, memory and I/O devices and serves for transferring instructions and data. In the presence of a clock signal, the status word is applied to the data bus, which contains information about the current operational cycle. D_0 — lowest-order digit
11	U_{vv} Power supply, input (-5 ± 0.25) V
12	RESET Clearing (input) On applying the RESET signal, the instruction counter is cleared. On removal of the RESET signal, the program execution is commenced beginning from the instruction located in the memory zero cell. Flip-flops INTE and HLDA are reset also. The flags, accumulator, stack pointer and registers are not reset. External synchronization for the RESET input signal, the duration of which should be at least three clock cycles, is not required.
13	HOLD Bus holding (input) On applying the HOLD signal, the processor assumes the HOLD state. In the HOLD state, a peripheral unit is enabled to obtain control of the data and address buses after they have been used by the processor in the current operational cycle. This occurs if the processor is in the STOP state or the processor is the T2 or T _W state and the READY signal is applied. In the HOLD state, address bus A15—A0 and data bus ($D_7—D_0$) assume the high-impedance state. The changeover of the processor to the HOLD state is acknowledged by a signal on the HLDA output.
14	INT Interrupt request (input) The processor accepts an interrupt request at the end of the current instruction or when it is in the STOP state. If the processor is in the HOLD state and if the "Interrupt allowed" flip-flop is reset, the request is rejected.
15	ϕ_2 Phase 2 (input) Clock signal ϕ_2
15	INTE Interrupt enabling signal (output) The INTE signal indicates the state of the INTE internal flip-flop. This flip-flop is set by the EI (Enabling of interrupt) instruction or is reset by the DI ("Denial of interrupt") instruction and, if it is reset locks out arrival of the request to the processor. The INTE signal is automatically removed (locking out further interruptions) during the T1 time step of the instruction access cycle (M1) when accepting the interruption and also on ap-

Выводы	Назначение
	получить контроль над шинами данных и адреса после их использования процессором в текущем машинном цикле. Это происходит при двух условиях: процессор в состоянии ОСТАНОВ, процессор в состоянии T ₂ или T ₃ и сигнал READY подан. В состоянии ЗАХВАТ шина адреса A15—A0 и шина данных (D ₇ —D ₀) переходят в высокоимпедансное состояние. Переход процессора в состояние HOLD подтверждается сигналом на выводе HLDA
14	INT Запрос прерывания (вход) Процессор воспринимает запрос на прерывания в конце текущей команды или в состоянии ОСТАНОВ. Если процессор находится в состоянии ЗАХВАТ или если триггер „Разрешения прерывания“ сброшен, запрос не воспринимается.
15	∅ 2 Фаза 2 (вход) Тактовый сигнал ∅ 2
16	INTE Разрешение прерывания (выход) INTE показывает состояние внутреннего триггера INTE. Этот триггер устанавливается командой „Разрешение прерывания“ (EI) или сбрасывается командой „Запрет прерывания“ (DI) и блокирует поступление запроса в процессор, если этот триггер сброшен. Сигнал INTE автоматически сбрасывается (блокируя дальнейшие прерывания) в период такта T ₁ цикла выборки команды (M1) во время приема прерывания, а также сбрасывается при подаче сигнала RESET После команды EI процессор принимает команду прерывания по команде, следующей за EI. Это позволяет правильно выполнить команду RET, если операция прерывания продолжается после сервисной программы.
17	DBIN Прием (выход) DBIN указывает, что шина данных находится в режиме ввода. Этот сигнал используется для разрешения приема на шину данных микропроцессора данных из памяти или устройств ввода/вывода
18	WR Запись (выход) WR используется для управления режимом „ЗАПИСИ“ информации в память или внешние устройства ввода/вывода. Данные на шинах данных действительны в период действия сигнала WR (WR=0).
19	SYNC Синхронизация (выход) Сигнал SYNC показывает начало каждого машинного цикла.
20	U _{CC} Источник питания (вход) +5 В ± 0,25 В
21	HLDA Подтверждение захвата (выход) Сигнал HLDA выдается в ответ на сигнал HOLD и показывает, что шины адреса и данных переходят в высокоимпедансное состояние. Сигнал HLDA выдается: в такте T ₃ , если выполняется чтение данных из памяти или устройств ввода-вывода; в такте, следующем за T ₃ , если выполняется запись данных в память или устройства ввода/вывода.

Lead	Function
	plying the RESET signal. After the EI instruction, the processor is caused to accept the interrupt instruction by an instruction following the EI instruction. This provides correct execution of the RET instruction if the interrupt operation continues after the service routine.
17	DBIN Reception (output) The DBIN signal indicates that the data bus is in the input condition. This signal is used for enabling the reception of data from the memory or I/O devices to the microprocessor data bus.
18	WR Writing (output) The WR signal is used for controlling the conditions of writing data into the memory or into external I/O devices. The data on the data bus is valid in the presence of the WR signal (WR=0).
19	SYNC Synchronization (output) The SYNC signal indicates the beginning of each operational cycle
20	U _{CC} Power supply (input) (+5 ± 0.25) V
21	HLDA Hold acknowledgement (output) The HLDA signal is a reply to the HOLD signal and indicates that the address and data buses change over to the high-impedance state. The HLDA signal is delivered in the T ₃ time step, if data is read from the memory or I/O devices, and in the time step following the T ₃ time step, when data is written into the memory or I/O devices. In any case, the HLDA signal is delivered by the leading edge of clock signal ∅ 1, and the high-impedance state is set by the leading edge of clock signal ∅ 2.
22	∅ 1 Phase 1 (input) Clock signal ∅ 1
23	READY Readiness (input) The READY signal indicates to the processor that effective data has arrived to the data bus from the input device or from the memory. The READY signal is used for synchronizing the operation of the processor and the memory or I/O low-speed devices. If, after the address has been read out, the high level signal is applied to the processor READY output, the processor goes to the WAIT state and retains this state until the low level signal is applied to the READY output. (The READY signal can also be used for establishing the step-by-step operation of the processor).
24	WAIT Waiting (output) The WAIT signal indicates that the processor is in the WAIT state
28	U _{DD} Power supply (input) (+12 ± 0.6) V

Выходы	Назначение
22	В любом случае, HLDA выдается по переднему фронту импульса тактового сигнала $\phi 1$, а высокоимпедансное состояние устанавливается по переднему фронту тактового сигнала $\phi 2$.
23	$\phi 1$ Фаза 1 (вход) Тактовый сигнал $\phi 1$ READY Готовность (вход) Сигнал READY показывает процессору, что на шину данных поступила действительная информация из устройства ввода или памяти. READY используется для синхронизации работы процессора с памятью или устройствами ввода/вывода с низким бы-

Выходы	Назначение
24	стродействием. Если после выдачи адреса сигнал высокого уровня не поступает на вывод READY процессора, то процессор переходит в состояние ОЖИДАНИЕ и находится в нем до тех пор, пока на вывод READY подается сигнал низкого уровня. (READY также может использоваться для организации пошагового режима работы процессора).
28	WAIT Ожидание (выход) Сигнал WAIT показывает, что процессор находится в состоянии ОЖИДАНИЕ U _{DD} Источник питания (вход) +12 В ± 0,6 В



Структурная схема:

I — буфер данных; II — внутренняя магистраль; III — арифметико-логическое устройство; IV — устройство управления и синхронизации; V — регистр команд; VI — дешифратор команд; VII — мультиплексор; VIII — указатель стека; IX — счетчик команд; X — регистр адреса; XI — буфер адреса

Block Diagram:

I — data buffer; II — internal bus; III — arithmetic and logic unit; IV — control and timing unit; V — instruction register; VI — instruction decoder; VII — multiplexer; VIII — stack pointer; IX — instruction counter; X — address register; XI — address buffer

ОСНОВНЫЕ ДАННЫЕ

Предельно допустимые значения

Рабочая температура, °C	от -10 до +70
Температура хранения, °C	от -40 до +125
Частота тактовых сигналов, МГц	2
Входные или выходные напряжения относительно напряжения U _{BB} , В	от -0,3 до +20,0
Напряжение U _{CC} , U _{DD} , U _{SS} относительно напряжения U _{BB} , В	от -0,3 до +20,0
Мощность рассеивания, Вт	1,5

Параметры по постоянному току

при $-10^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$, $U_{DD} = +12 \text{ В} \pm 0,6 \text{ В}$,
 $U_{CC} = +5 \text{ В} \pm 0,25 \text{ В}$, $U_{SS} = 0 \text{ В}$

Напряжение низкого уровня импульсов тактовых сигналов U_{ILC}, В:

минимальное	U _{SS} - 1
максимальное	U _{SS} + 0,8

SPECIFICATIONS

Maximum values

Operating temperature range, °C	from -10 to +70
Storage temperature, °C	from -40 to +125
Timing signal frequency, MHz	2
Input and output voltages relative to voltage U _{BB} , V	from -0.3 to +20.0
Voltages U _{CC} , U _{DD} and U _{SS} relative to voltage U _{BB} , V	from -0.3 to +20.0
Power dissipation, W	1.5

D. C. Characteristics

at $-10^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$, $U_{DD} = +12 \pm 0.6 \text{ V}$,
 $U_{CC} = [+5 \pm 0.25] \text{ V}$, $U_{SS} = 0 \text{ V}$

Временная диаграмма показывает только временные соотношения и не представляет какой-либо определенный машинный цикл.

Измерение времен проводилось при следующих напряжениях:

- для тактовых сигналов $U_{TTC}=8,0$ В, $U_{TLC}=1,0$ В;
- для входных сигналов $U_{IH}=3,3$ В, $U_{IL}=0,8$ В;
- для выходных сигналов $U_{OH}=2,0$ В, $U_{OL}=0,8$ В

- * The data input should be stable for this period during the DBIN, T3 time. Times t_{DS1} and t_{DS2} should be provided.
- ** The READY signal should be stable for this period during time T2 or T_W . (External synchronization should be provided).
- *** The HOLD signal should be stable for this period during time T2 or T_W , during change over to the HOLD condition and during times T3, T4, T5, and T_{WH} in the HOLD condition. (External synchronization is not required).
- *** The INTE signal should be stable for this period during the last time step of the last operational cycle of any instruction, in order to be accepted by the next instruction. (External synchronization is not required).

The timing diagram shows only the time relationship and does not represent any definite operational cycle.

The times have been measured at the following voltages:

for timing signals — $U_{\text{HFG}}=8.0$ V, $U_{\text{ILD}}=1.0$ V;

for input signals — $U_{IH} = 3.3$ V, $U_{IL} = 0.8$ V;

for output signals — $U_{OH} = 2.0$ V, $U_{OL} = 0.8$ V

Напряжение высокого уровня импульсов
тактовых сигналов (U_{IHC}), В:

минимальное 9,0
максимальное $U_{DD}+1$

Входное напряжение низкого уровня
(U_{IL}), В:

минимальное $U_{SS}-1$
максимальное $U_{SS}+0,8$

Входное напряжение высокого уровня
(U_{IH}), В:

минимальное 3,3
максимальное $U_{CC}+1$

Выходное напряжение низкого уровня
(U_{OL}) при $I_{OL}=1,9$ мА на всех выво-
дах, В $\leq 0,45$

Выходное напряжение высокого уровня
(U_{OH}) при $I_{OH}=-150$ мкА, В $\geq 3,7$

Ток потребления по U_{DD} при минималь-
ном t_{CY} , мА ≤ 70

Ток потребления по U_{CC} (I_{CC}) при мини-
мальном t_{CY} ≤ 80

Ток потребления по U_{BB} (I_{BB}) при мини-
мальном t_{CY} , мА ≤ 1

Ток утечки на входах (I_{IL}) при $U_{SS} \leq$
 $\leq U_{IN} \leq U_{CC}$, мкА $\leq \pm 10^*$

Ток утечки на входах тактовых импульсов
(I_{CL}) при $U_{SS} \leq U_{CLOCK} \leq U_{DD}$, мкА $\leq \pm 10^*$

Ток утечки в режиме ЗАХВАТ (I_{FL}) при
 $J_{ADDR/DATA} = U_{SS}+0,45$ В, мкА $\leq +10; \leq -100^*$

Ток утечки на входах канала данных в ре-
жиме ввода (I_{DL}^{**}), при $U_{SS} \leq U_{IN} \leq$
 $\leq U_{SS}+0,8$ В; $U_{SS}+0,8$ В $\leq U_{IN} \leq U_{CC} \dots$ ≤ -100 мкА;
 ≤ -2 мА

Емкости

при $-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, $U_{CC} = U_{DD} = U_{SS} = 0$ В,
 $U_{BB} = -5$ В;

неизмеряемые выводы подключены к U_{SS}

Входная емкость тактовых сигналов
(C_{IN}), пФ:

типовая 15
максимальная 20

Входная емкость (C_{IN}), пФ:

типовая 6
максимальная 10

Выходная емкость (C_{OUT}), пФ:

типовая 10
максимальная 15

Параметры по переменному току

при $-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, $U_{DD} = +12 \text{ В} \pm 0,6$ В,
 $U_{CC} = +5 \text{ В} \pm 0,25$ В, $U_{BB} = -5 \text{ В} \pm 0,25$ В; $U_{SS} = 0$ В

Период следования тактовых импульсов
(t_{CY}), мкс:

минимальная 0,48
максимальная 2,0

Длительность фронта и спада тактовых
сигналов (t_r , t_f), нс:

минимальная 0
максимальная 50

Длительность тактового сигнала

$\varnothing 1$ ($t_{\varnothing 1}$), нс ≥ 60

Длительность тактового сигнала

$\varnothing 2$ ($t_{\varnothing 2}$), нс ≥ 220

Задержка сигнала $\varnothing 2$ относительно

$\varnothing 1$ (t_{D1}), нс ≥ 0

Задержка сигнала $\varnothing 1$ относительно

$\varnothing 2$ (t_{D2}), нс ≥ 70

Задержка фронта сигнала $\varnothing 1$ относитель-

но $\varnothing 2$ (t_{D3}), нс ≥ 80

Задержка выходного сигнала канала ад-

реса относительно $\varnothing 2$ (t_{DA}) при

$C_L=100$ пФ, нс ≤ 200

Задержка выходного сигнала канала дан-

ных относительно $\varnothing 2$ (t_{DN}) при

$C_L=100$ пФ, нс ≤ 220

Задержка выходных сигналов (SYNC, WR,

WAIT, HLDA) относительно $\varnothing 1$ или $\varnothing 2$

(t_{DC}) при $C_L=100$ пФ, нс ≤ 120

* Минус соответствует направлению тока из схемы.

** При высоком уровне сигнала DBIN и $U_{IN} > U_{IH}$ вну-
треннее активное нагрузочное сопротивление подключается
к шине данных.

Timing signal low voltage (U_{ILC}), V:

minimum $U_{SS}-1$
maximum $U_{SS}+0,8$

Timing signal high voltage (U_{IHC}), V:

minimum 9,0
maximum $U_{DD}+1$

Low input voltage (U_{IL}), V:

minimum $U_{SS}-1$
maximum $U_{SS}+0,8$

High input voltage (U_{IH}), V:

minimum 3,3
maximum $U_{CC}+1$

Low output voltage (U_{OL}) at $I_{OL}=1,9$ mA

on all outputs, V $\leq 0,45$

High output voltage (U_{OH}) at $I_{OH} =$

$= -150 \mu\text{A}$, V $\geq 3,7$

U_{DD} drain current at minimum t_{CY} , mA ≤ 70

U_{CC} drain current (I_{CC}) at minimum t_{CY} , mA ≤ 80

U_{BB} drain current (I_{BB}) at minimum t_{CY} , mA ≤ 1

Leakage current on inputs (I_{IL}) at $U_{SS} \leq$

$\leq U_{IN} \leq U_{CC}$, μA $\leq \pm 10^*$

Timing signal input leakage current (I_{CL}) at

$U_{SS} \leq U_{CLOCK} \leq U_{DD}$, μA $\leq \pm 10^*$

Leakage current in HOLD mode (I_{FL}) at

$U_{ADDR/DATA} = U_{SS} + 0,45$ V, μA $\leq +10; \leq -100^*$

Data channel input leakage current in INPUT mode (I_{DL}^{**}) at

$U_{SS} \leq U_{IN} \leq U_{SS} + 0,8$ V;
 $U_{SS}+0,8$ V $\leq U_{IN} \leq U_{CC} \dots \leq -100 \mu\text{A}; \leq -2$ mA

$U_{SS}+0,8$ V $\leq U_{IN} \leq U_{CC} \dots \leq -100 \mu\text{A}; \leq -2$ mA

Capacitances

at $-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, $U_{DD} = +12 \pm 0,6$ V,

$U_{BB} = -5$ V;

the unmeasured leads are connected to U_{SS}

Timing signal input capacitance (C_{IN}), pF:

typical 15
maximum 20

Input capacitance (C_{IN}), pF:

typical 6
maximum 10

Output capacitance (C_{OUT}), pF:

typical 10
maximum 15

A. C. Characteristics

at $-10^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, $U_{DD} = +12 \pm 0,6$ V,
 $U_{CC} = [+5 \pm 0,25]$ V, $U_{BB} = [-5 \pm 0,25]$ V, $U_{SS} = 0$ V

Timing signal spacing (t_{CY}), μs :

minimum 0,48
maximum 2,0

Timing signal rise/fall time (t_r , t_f), ns:

minimum 0
maximum 50

Length of timing signal $\varnothing 1$ ($t_{\varnothing 1}$), ns ≥ 60

Length of timing signal $\varnothing 2$ ($t_{\varnothing 2}$), ns ≥ 220

Signal $\varnothing 2$ delay relative to signal

$\varnothing 1$ (t_{D1}), ns ≥ 0

Signal $\varnothing 1$ delay relative to signal

$\varnothing 2$ (t_{D2}), ns ≥ 70

Signal $\varnothing 1$ leading edge delay relative to

signal $\varnothing 2$ (t_{D3}), ns ≥ 80

Address channel output signal delay relative

to $\varnothing 2$ (t_{DA}) at $C_L=100$ pF, ns ≤ 200

Data channel output signal delay relative to

$\varnothing 2$ (t_{DN}) at $C_L=100$ pF, ns ≤ 220

(SYNC, WR, WAIT, HLDA) output signal

delay relative to signal $\varnothing 1$ or $\varnothing 2$ (t_{DC}) at

$C_L=100$ pF, ns ≤ 120

DBIN signal delay relative to signal

$\varnothing 2$ (t_{DI}), ns:

minimum 25

maximum 140

* Minus corresponds to the current direction from the cir-
cuit.

** At high DBIN signal level and at $U_{IN} > U_{IH}$ the internal
active load resistance is connected to the data bus.

Задержка сигнала DBIN относительно

сигнала $\overline{\text{DBIN}}$ (t_{DF}), нс:

минимальная 25
максимальная 140

Задержка сигналов канала D

относительно сигнала $\overline{\text{DBIN}}$ (t_{DI}), нс $\leq t_{DF}$

Время установления сигнала на шинах данных относительно сигнала $\overline{\text{DBIN}}$ (t_{DS1}), нс 30

Время установления сигнала на шинах данных относительно сигнала $\overline{\text{DBIN}}$ (t_{DS2}), нс 150

Время сохранения сигнала на шинах данных относительно сигнала $\overline{\text{DBIN}}$ (t_{DH}), нс ≥ 1

Задержка сигнала INTE относительно сигнала $\overline{\text{DBIN}}$ (t_{IE}) при $C_L=50$ пФ, нс ≤ 200

Время установления сигнала READY относительно сигнала $\overline{\text{DBIN}}$ (t_{RS}), нс ≥ 120

Время установления сигнала HOLJ1 относительно сигнала $\overline{\text{DBIN}}$ (t_{HS}), нс ≥ 140

Время установления сигнала INT относительно сигнала $\overline{\text{DBIN}}$ (t_{IS}), нс ≥ 120

Время сохранения сигнала HOLD относительно сигнала $\overline{\text{DBIN}}$ (t_{H}), нс ≥ 0

Задержка сигналов данных и адреса относительно сигнала $\overline{\text{DBIN}}$ (t_{FD}), нс ≤ 120

Время установления сигналов на шинах адреса относительно сигнала $\overline{\text{WR}}$ (t_{AV}) при $C_L=100$ пФ (шины адреса и данных), нс $\geq 2t_{CY} - t_{D3} - t_{rO2} - 140$

Время установления сигналов на шинах данных относительно сигнала $\overline{\text{WR}}$ (t_{DV}) при $C_L=100$ пФ (шины адреса и данных), нс $\geq t_{CY} - t_{D3} - t_{rO2} - 170$

Время сохранения сигналов на шинах данных после сигнала $\overline{\text{WR}}$ (t_{WD}) при $C_L=50$ пФ (сигналы $\overline{\text{WR}}$, $\overline{\text{HLDA}}$, $\overline{\text{DBIN}}$), нс:

если сигнал $\overline{\text{HLDA}}$ отсутствует $\geq t_{WA} = t_{D3} + t_{rO2} + 10$

если есть сигнал $\overline{\text{HLDA}}$ $\geq t_{WA} = t_{WF}$

Время сохранения сигналов адреса $\overline{\text{WR}}$ (t_{WA}) при $C_L=50$ пФ (сигналы $\overline{\text{WR}}$, $\overline{\text{HLDA}}$, $\overline{\text{DBIN}}$), нс:

если сигнал $\overline{\text{HLDA}}$ отсутствует $\geq t_{WD} = t_{D3} + t_{rO2} + 10$

если есть сигнал $\overline{\text{HLDA}}$ $\geq t_{WD} = t_{WF}$

Задержка перехода в третье состояние каналов данных и адреса относительно сигнала $\overline{\text{HLDA}}$ (t_{HF}), нс $\leq t_{D3} + t_{rO2} - 50$

Время сохранения сигналов на шинах данных и адреса после спада сигнала $\overline{\text{WR}}$ в состоянии ZAXBAT (t_{WF}), нс $\geq t_{D3} + t_{rO2} - 10$

Примечания: 1. Поступление данных на канал данных должно разрешаться сигналом DBIN. В этих случаях не происходит конфликтных ситуаций на канале данных и гарантируются временные соотношения, необходимые для правильного приема данных в микропроцессор.

2. Эквивалент нагрузки.

Channel D signal delay relative to signal $\overline{\text{DBIN}}$ (t_{DI}), ns: $\leq t_{DF}$

Time of signal rise on data buses relative to signal $\overline{\text{DBIN}}$ during DBIN signal period (t_{DS1}), ns 30

Time of signal rise on data buses relative to signal $\overline{\text{DBIN}}$ during DBIN signal period (t_{DS2}), ns 150

Time of signal retention on data buses relative to signal $\overline{\text{DBIN}}$ during DBIN signal period (t_{DH}), ns ≥ 1

INTE signal delay relative to signal $\overline{\text{DBIN}}$ (t_{IE}), at $C_L=50$ pF, ns ≤ 200

Time of READY signal rise relative to signal $\overline{\text{DBIN}}$ (t_{RS}), ns ≥ 120

Time of HOLJ1 signal rise relative to signal $\overline{\text{DBIN}}$ (t_{HS}), ns ≥ 140

Time of INT signal rise relative to signal $\overline{\text{DBIN}}$ (t_{IS}), ns ≥ 120

Time of HOLD signal retention relative to signal $\overline{\text{DBIN}}$ (READY, INT, HOLD), (t_H), ns ≥ 0

Data and address signals delay relative to signal $\overline{\text{DBIN}}$ (t_{FD}), ns ≤ 120

Time of signal rise on address buses relative to $\overline{\text{WR}}$ (t_{AV}) at $C_L=100$ pF (address and data buses), ns $\geq 2t_{CY} - t_{D3} - t_{rO2} - 140$

Time of signal rise on data buses relative to $\overline{\text{WR}}$ (t_{DV}) at $C_L=100$ pF (address and data buses), ns $\geq t_{CY} - t_{D3} - t_{rO2} - 170$

Time of signal retention on data buses after $\overline{\text{WR}}$ (t_{WD}) at $C_L=50$ pF ($\overline{\text{WR}}$, $\overline{\text{HLDA}}$, $\overline{\text{DBIN}}$), ns:

in absence of $\overline{\text{HLDA}}$ signal $\geq t_{WA} = t_{D3} + t_{rO2} + 10$

in presence of $\overline{\text{HLDA}}$ signal $\geq t_{WA} = t_{WF}$

Time of $\overline{\text{WR}}$ address signal retention (t_{WA}) at $C_L=50$ pF ($\overline{\text{WR}}$, $\overline{\text{HLDA}}$, $\overline{\text{DBIN}}$), ns:

in absence of $\overline{\text{HLDA}}$ signal $\geq t_{WD} = t_{D3} + t_{rO2} + 10$

in presence of $\overline{\text{HLDA}}$ signal $\geq t_{WD} = t_{WF}$

Delay of change over of data and address channels to third state relative to $\overline{\text{HLDA}}$ (t_{HF}), ns $\leq t_{D3} + t_{rO2} - 50$

Time of signal retention on data and address buses after $\overline{\text{WR}}$ fall in HOLD state (t_{WF}), ns $\geq t_{D3} + t_{rO2} - 10$

Notes: 1. The arrival of data to the data channel should be initiated by the DBIN signal. In this case no conflict situation arise on the channel, and the time relationship necessary for correct reception of data to the microprocessor is ensured.

2. Load equivalent.

