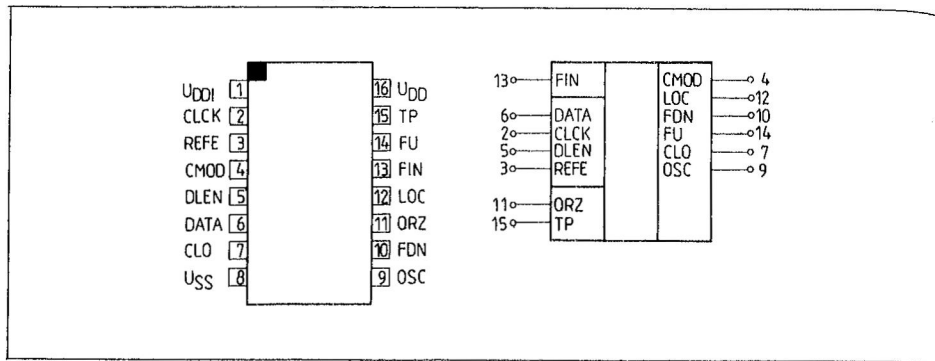


U 1056 D PLL-Synthesizer-Schaltkreis



Anschlußbelegung und Schaltzeichen

Bauform: DIP-16, Plast (Bild 4)
Typstandard: TGL 42663

Bezeichnung der Anschlüsse

U _{DD1}	Speisespannung für Pegelkonverter	OSC	Oszillatorausgang für die Referenzfrequenz
CLCK	Taktsignal für die Datenübertragung	FDN	Nachstimmausgang zur Frequenzverringern
REFE	Referenzteilerwahl	QRZ	Oszillatoreingang für Referenzfrequenz ($f_{\max} = 4,0 \text{ MHz}$)
CMOD	Ausgang zur Steuerung des Vorteilers (open drain)	LOC	Lock-Detektor-Ausgang
DLEN	Freigabesignal für die Datenübertragung	FIN	Signaleingang, maximal 4 MHz
DATA	Eingang für die seriellen Dateninformationen	FU	Nachstimmausgang zur Frequenzerhöhung
CLO	Entkoppelter Ausgang des Referenzfrequenzoszillators zur Ansteuerung weiterer Schaltungen	TP	Testanschluß (im Betriebsfall an U _{SS})
U _{SS}	Bezugspotential	U _{DD}	Betriebsspannung

Der U 1056 D ist eine PLL-Synthesizerschaltung, die zusammen mit einem diodenabgestimmten Tuner, einem HF-Vorteiler, einem aktiven Loop-Filter sowie einer Programmierereinheit ein komplettes Synthesizersystem für Rundfunkempfänger bildet.

Eigenschaften

- Es können Eingangsfrequenzen bis 4 MHz verarbeitet werden,
- die Dateneingabe erfolgt durch serielle 17-Bit-Datenwörter die nach erfolgter Formatkontrolle über ein Auffangregister zur Weiterverarbeitung gelangen,
- die Steuerleitungen sind durch Pegelumsetzer TTL-kompatibel,
- die Frequenz-Phasen-Detektor-Schaltung erzeugt über einen externen Integrator die Abstimmspannung für den Tuner,

- Referenzoszillatorfrequenz zum Erzeugen von 4 verschiedenen Frequenzrastern,
- entkoppelter Oszillatorfrequenz-Ausgang.

Folgende Baugruppen sind auf dem Chip integriert:

- Eine Teilerschaltung für die Eingangsfrequenz, die aus einem 5-Bit-Swallow-Zähler und einem 10-Bit programmierbarem Teiler besteht. (Das Teilverhältnis wird von den letzten 15-Bit des über den DATA-Eingang eingelesenen und zwischengespeicherten 17-Bit-Datenwortes bestimmt. Das Datenwort enthält kodiert das dem gewünschten Sender entsprechende Teilverhältnis.),
- einem 17-Bit-Auffangregister zum Speichern der 15-Bit-Daten für die Teilerzahl des Referenzteilers,
- einer Formatkontrollschaltung, die zwischen Störsignalen und Datenwörtern mit 17-Bit Wortlänge unterscheidet und Datenwörter mit anderer Wortlänge nicht annimmt,
- einem 16-Bit-Schieberegister, das die seriell eingeschriebenen Datenwörter DATA nach durchgeführter Formatkontrolle an das Auffangregister weiterleitet,
- einer Frequenz-Phasen-Detektor-Schaltung, die mit Hilfe eines externen, als Integrator eingeschalteten Verstärkers, die Abstimmspannung erzeugt,
- einer 13-Bit programmierten Teilerschaltung für die Referenzoszillatorfrequenz zum Erzeugen von vier verschiedenen Frequenzrastern,
- einem Dekoder mit zwei Setzeingängen und Ausgängen zur Programmierung des Referenzteilers auf die Teilverhältnisse 1 : 160, 1 : 400, 1 : 800, 1 : 8000,
- einem Quarzoszillator zur Erzeugung der Oszillatorfrequenz mit einem entkoppelten Ausgang zur externen Verwendung der Oszillatorfrequenz,
- je einem Pegelumsetzer für die Eingangssignale DATA, DLEN, CLCK und REFE; diese Eingänge können mit TTL-Signalen angesteuert werden.

Ausgewählte Kennwerte

Betriebsspannung	U _{DD}	= 8 ... 10 V
	U _{DD1}	= 4,5 ... 5,5 V
Stromaufnahme	I _{DD}	= 10 µA
Ausgangsstrom	I _O	= -10 ... 10 mA
Oszillatorfrequenz	f _I	= 0 ... 4 MHz
Eingangsfrequenz	f _I	= 0 ... 100 MHz