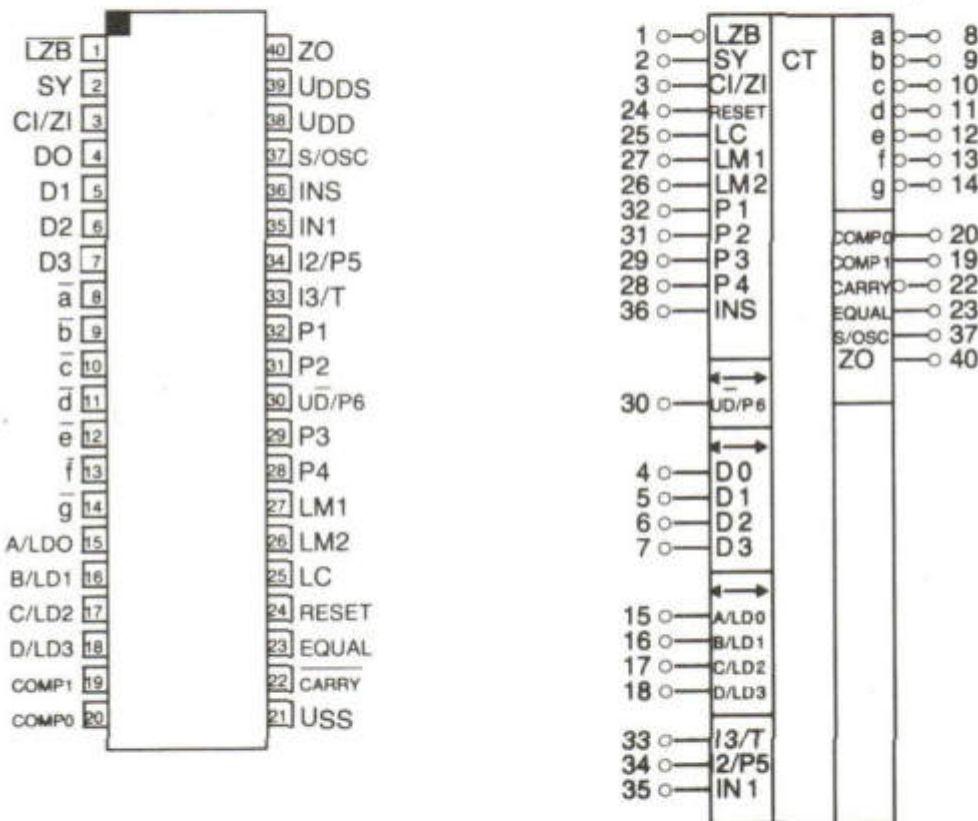


4 Dekaden Vor-/Rückwärts- zähler U 125 D



Der integrierte MOS-Schaltkreis U 125 D ist ein in n-Kanal-Silicon-Gate-Technik ausgeführter 4-Dekaden-Vor-/Rückwärts-zähler mit Zusatzfunktionen. Der U 125 D kann in der Meß- und Regeltechnik eingesetzt werden. Er ist für den Einsatz in Zählgeräten vorgesehen.

Bild 1:
Anschlußbelegung und
Schaltungskurzzeichen



Bezeichnung der Anschlüsse

LZB	Vornullenunterdrückung	ZO	Nullausgang
SY	Synchronisierung	U_{DDS}	gepufferte Betriebsspannung
CI/ZI	Takt-/Nulleingang	U_{DD}	Betriebsspannung
D 0	Dezimalstelle 0	S/OSC	Vorzeichenausgang, Ausgang Teiler
D 1	Dezimalstelle 1	INS	Vorzeicheneingabe
D 2	Dezimalstelle 2	IN 1	Zähleingang 1
D 3	Dezimalstelle 3	I 2/P 5	Zähleingang 2, Programmierereingang 5
$\bar{a}$	7-Segment-Ausgänge	I 3/T	Zähleingang 3, Teilterstest
$\bar{b}$		P 1	Programmierereingang 1
$\bar{c}$		P 2	Programmierereingang 2
$\bar{d}$		UD/P 6	Vor-/Rückwärtsumschaltung,
$\bar{e}$			Programmierereingang 6
$\bar{f}$		P 3	Programmierereingang 3
$\bar{g}$		P 4	Programmierereingang 4
A/LD 0	BCD-Ein-/Ausgänge (Load Digit)	LM 1	Laden Speicher 1
B/LD 1		LM 2	Laden Speicher 2
C/LD 2		LC	Laden Zähler
D/LD 3	Komparatorausgänge	RESET	Rücksetzeingang
COMP 1		EQUAL	Koinzidenzangang
COMP 0		CARRY	Übertragaussgang
		U_{SS}	Bezugspotential

Beschreibung

Der Schaltkreis U 125 D ist ein programmierbarer vierstelliger dekadischer Vor-/Rückwärtszähler (siehe Bild 2). Er enthält 2 Speicher, deren Inhalt mit dem Zählerstand verglichen wird.

Über entsprechende externe Treiber ist es möglich, 7-Segmentanzeigebaulemente (LED) im Multiplexbetrieb anzusteuern. Gleichzeitig steht die Ausgangsinformation auch im BCD-Format an den entsprechenden Ein-/Ausgängen zur Verfügung.

An den 3 Zähleingängen ist eine Summen- und Differenzlogik angeschlossen, die es gestattet, in bestimmten Betriebsarten mehrere, auch gleichzeitig auftretende Impulse zu zählen.

In den Betriebsarten Summen- und Differenzzähler ist der Zählerstand im Pufferbetrieb nicht gesichert.

Für den Betrieb als Uhr enthält der Schaltkreis einen 2^{15} -Vorteiler und die Logik zur Erzeugung von 100 Hz- und 1/60 Hz-Impulsen. Bei Ausfall der Betriebsspannung U_{DD} ist es möglich, den Inhalt der Speicher und den aktuellen Zählerstand zu erhalten, wenn dafür gesorgt ist, daß am Anschluß U_{DDS} die Spannung nicht unter 2 V absinkt. Die Eingänge RESET, LC, P 3, P 4, LM 1, LM 2, UD/P 6, IN 1, I 3/T, I 2/P 5 und INS sind mit internen Triggerschaltungen versehen. Die Eingänge P 1, P 2 und SY werden mit Hilfe integrierter Pull up-Widerstände in unbeschaltetem Zustand auf U_{DDS} -Potential gezogen. Die Kaskadierung mehrerer Schaltkreise ist möglich.

Um Funktionsstörungen der Zählkaskaden im Pufferbetrieb zu vermeiden, muß in diesem Falle die Verbindung Übertrag-Zähleingang über einen Lastwiderstand (Richtwert 10 kOhm) mit der Batteriespannung verbunden werden.

Mittels der beiden Programmierereingänge P 1 und P 2 sowie der Eingänge UD/P 6 und I 2/P 5 lassen sich alle Betriebsarten einstellen. Folgende Grundbetriebsarten sind möglich:

P 1	P 2	Betriebsart	Bezeichnung
H	H	1	direkter Zählbetrieb
H	L	2	Summenzähler
L	H	3	Differenzzähler
L	L	4	Uhrenbetrieb

Für die ersten drei Betriebsarten gilt, daß bei Nulldurchgang des Zählers automatisch Zählrichtung und Vorzeichen umgeschaltet werden.

Betriebsart:	direkter Zählbetrieb
IN 1:	Eingang des Zählers mit einer maximalen Zählfrequenz von 2 MHz, gezählt wird jeweils die H/L-Flanke
S/OSC:	Ausgang Vorzeichen (H = -, L = +)
I 2/P 5:	mit P 5 lassen sich zwei Zählweisen einstellen: P 5 = L – dekadischer Zähler bis „9999“ P 5 = H – die beiden höherwertigen Digits zählen dekadisch, die niederwertigen sexagesimal bis „9923“
UD/P 6:	mit UD wird die Zählrichtung umgeschaltet: UD = H – vorwärts UD = L – rückwärts
Betriebsart 2:	dekadischer Summenzähler
IN 1, I 2/P 5 und I 3/T:	sind verknüpfte Zähleingänge, d. h. jeder der an einem der drei Eingänge auftretende Zählimpuls (H/L-Flanke) wird erkannt und je nach Programmierung von UD dazugezählt oder abgezogen. Die maximale Zählfrequenz beträgt bei dieser Programmierung für jeden Eingang 50 kHz.
UD/P 6:	steuert die Zählrichtung (H = vorwärts, L = rückwärts)
S/OSC:	ist Ausgang des Vorzeichens (H = -, L = +)

Betriebsart 3: dekadischer Differenzzähler
 IN 1, I 2/P 5: sind verknüpfte Zählwege, dabei bewirkt jeder an IN 1 ankommende Zählimpuls (H/L-Flanke) ein Vorwärtszählen und jeder an I 2 ankommende Impuls ein Rückwärtszählen des Zählers. Die maximale Zählfrequenz beträgt dabei 50 kHz.
 UD/P 6: ist hier Ausgang, der die momentane Zählrichtung des internen Zählers anzeigt (H = vorwärts, L = rückwärts).
 S/OSC: gibt das Vorzeichen an (H = -, L = +)

Betriebsart 4: Uhrenbetrieb
 Bei dieser Programmierung ist intern die Zählrichtung „vorwärts“ festgelegt, wobei UD/P 6 und I 2/P 5 als Programmiergänge für die verschiedenen sexagesimalen Zählweisen benutzt werden.
 Der Ausgang S/OSC ist hierbei Ausgang des integrierten Vorteilers. Wird an den Eingang CI/ZI eine Frequenz von 32768 Hz angelegt, so erhält man am Ausgang OSC die unten angegebenen Frequenzen, die dann direkt auf den Zählweg IN 1 gelegt werden können.

P 5	P 6	Zählfrequenz	OSC (bei 32,768 kHz)
L	L	2359	1/60 Hz
L	H	5999	100 Hz (nur wenn OSC an IN 1 angeschlossen ist)
H	L	5959	1 Hz
H	H	2359	1/60 Hz

Anzeige- und Steuervarianten

Die Steuerung der Datenein- bzw. -ausgabe, der Anzeige, der Zählwertspeicherung, der Zählwertübernahme in die Speicher und die der „Blanking“-Funktion erfolgt über die Steuereingänge P 3, P 4 LM 1 und LM 2. Bei Übergängen zu anderen Anzeige- und Steuervarianten müssen unerwünschte Programmierzustände vermieden werden.

Damit ergeben sich die folgenden 16 Varianten:

- LM 1, LM 2, P 3, P 4:
Anzeige Abfragespeicher einschließlich Vorzeichen; BCD-Ausgänge (Der Abfragespeicher übernimmt ständig den aktuellen Zählerstand und das Vorzeichen des Zählers).
- LM 1, LM 2, P 3, P 4:
Anzeige Speicher 1 einschließlich Vorzeichen; BCD-Ausgänge
- LM 1, LM 2, P 3, P 4:
Anzeige Speicher 2 einschließlich Vorzeichen; BCD-Ausgänge
- LM 1, LM 2, P 3, P 4:
Anzeige Abfragespeicher einschließlich Vorzeichen; BCD-Ausgänge (Die Übernahme des aktuellen Zählerstandes inklusive Vorzeichen ist unterbrochen „Abfragefunktion“).
- LM 1, LM 2, P 3, P 4:
Das Ausgangssignal der Summen-/Differenzlogik wird über den Ausgang CARRI ausgegeben.
- LM 1, LM 2, P 3, P 4:
analog Punkt 4.

- LM 1, LM 2, P 3, P 4:
„blanking“; keine Anzeige:
Ausgänge $\bar{a}$ bis $\bar{g}$
Ausgang S/OSC an pull-up-Elementen (Depletion-Transistor)
BCD-Ein-/Ausgänge
- LM 1, LM 2, P 3, P 4:
Digitsynchrone Dateneingabe über BCD-Eingänge und Vorzeicheneingabe über Eingang INS (H = -, L = +) in den Zähler. Die Anzeige erfolgt über den Abfragespeicher, der ständig den aktuellen Zählerstand übernimmt (inclusive Vorzeichen). Zählvorgang ist unterbrochen.
- LM 1, LM 2, P 3, P 4:
Digitsynchrone Dateneingabe über BCD-Eingänge und Vorzeicheneingabe über Eingang INS in den Speicher 1. Anzeige Speicher 1 einschließlich Vorzeichen Speicher 1.
- LM 1, LM 2, P 3, P 4:
Digitsynchrone Dateneingabe über BCD-Eingänge und Vorzeicheneingabe über Eingang INS in den Speicher 2 einschließlich Vorzeichen Speicher 2.
- LM 1, LM 2, P 3, P 4:
Dekadenweise zählende Dateneingabe mittels intern getaktetem Ringzähler (0 bis 9) in den Zähler. Dekadenwahl mittels statischer BCD-Eingänge und Vorzeicheneingabe über Eingang INS (Vorzeichenwechsel bei jeder L/H-Flanke) in den Zähler. Anzeige Abfragespeicher (einschließlich Vorzeichen), der ständig Vorzeichen und aktuellen Zählerstand übernimmt. Zählvorgang ist unterbrochen, wenn an INS oder BCD-Eingängen der logische Pegel „H“ anliegt.
Bemerkung: siehe Seite 11:

- LM 1, LM 2, P 3, P 4:
Dekadenweise zählende Dateneingabe mittels intern getaktetem Ringzähler (0 bis 9) in den Speicher 1. Dekadenwahl mittels statischer BCD-Eingänge und Vorzeicheneingabe über Eingang INS (Vorzeichenwechsel bei jeder L/H-Flanke) in den Speicher 1. Anzeige Speicher 1 und Vorzeichen Speicher 1.
- LM 1, LM 2, P 3, P 4:
analog zu Punkt 12. Betrifft Speicher 2
- LM 1, LM 2, P 3, P 4:
Anzeige Abfragespeicher mit Vorzeichen, BCD-Ausgänge: die Übernahme des Zählerstandes in den Abfragespeicher ist unterbrochen; Speicher 1 übernimmt Vorzeichen und Zählerstand des Abfragespeichers.
- LM 1, LM 2, P 3, P 4:
analog zu Punkt 14. Betrifft Speicher 2
- LM 1, LM 2, P 3, P 4:
keine Anzeige, d. h. Ausgänge $\bar{a}$ bis $\bar{g}$ sind an pull-up-Elementen (Depletion-Transistor), BCD-Ausgänge und Ausgabe Vorzeichen Abfragespeicher; (Abfragespeicher übernimmt ständig Vorzeichen und aktuellen Stand des Zählers).



veb mikroelektronik 'karl marx' erfurt
stammbetrieb

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

elektronik
export·import

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei, Telefon: 2180

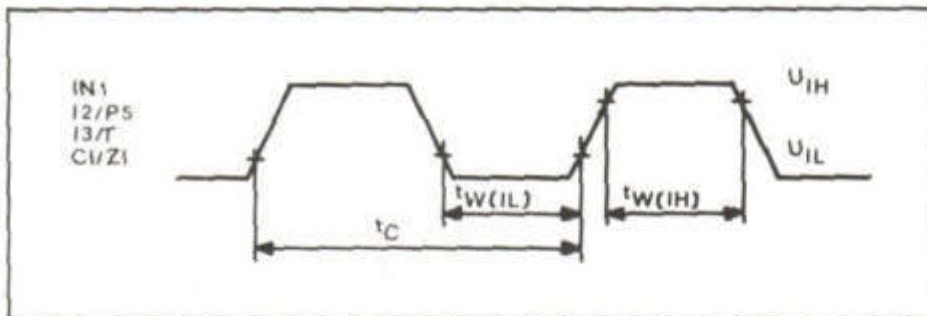


Bild 3:
maximale Taktfrequenz

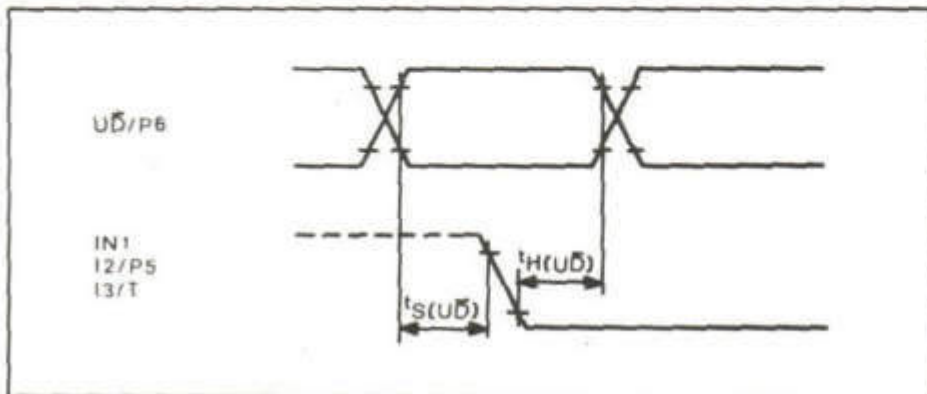


Bild 4:
Zählrichtungsumschaltung mit UD/P 6

Dieses Informationsblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

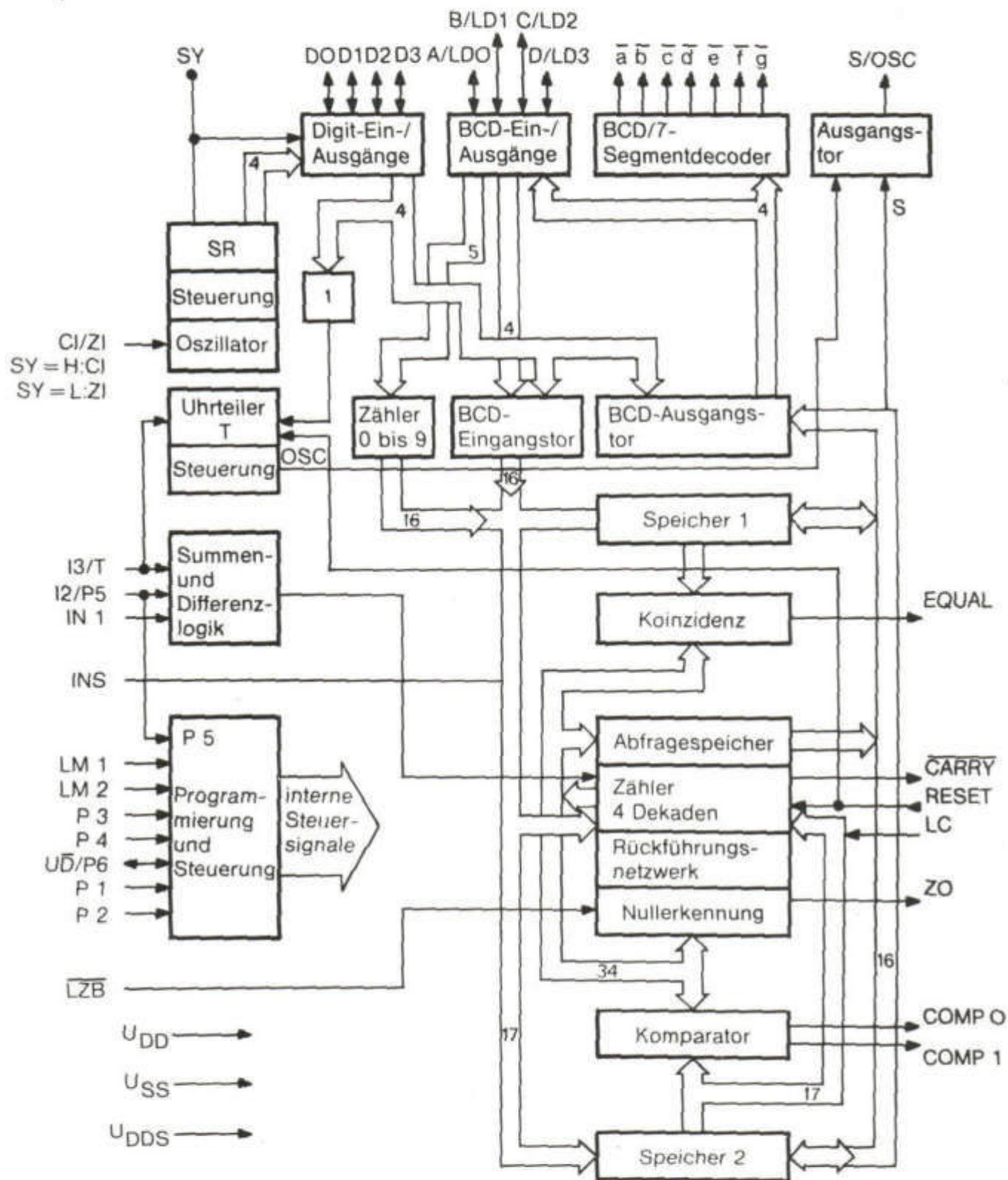


Bild 2:
Blockschaltbild U 125 D

Grenzwerte

($\theta_a = -10 \dots 70^\circ \text{C}$)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	-0,5	7	V
Eingangsspannung	U_I	-0,5	7	V
Lagerungstemperaturbereich	θ_{stg}	-55	125	$^\circ\text{C}$
Verlustleistung	$P(\theta_a = 25^\circ \text{C})$		0,7	W

Statische Kennwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	4,75	5,25	V
gepufferte Betriebsspannung ¹⁾	U_{DDS}	2	5,25	V
gepufferte Betriebsspannung ²⁾	U_{DDS}	4,75	5,25	V
Eingangsspannung L	U_{IL}	-0,5	0,8	V
Eingangsspannung H	U_{IH}	2,4	U_{DD}	V
Takteingangsspannung L ³⁾	U_{ILC}	-0,5	0,45	V
Takteingangsspannung H ³⁾	U_{IHC}	$U_{DD}-2,0$	U_{DD}	V
Ausgangsspannung L bei $I_0 = 1,8 \text{ mA}$	U_{OL}		0,4	V
Ausgangsspannung H bei $I_0 = 0,25 \text{ mA}$	U_{OH}	2,75		V
für D 0 ... D 3, EQUAL, COMP 0, COMP 1, S/OSC				
Ausgangsspannung H bei $I_0 = -0,25 \text{ mA}$	U_{OH}	2,4		V
für sonstige Ausgänge				
Stromaufnahme	I_{DD}		80	mA
Stromaufnahme stand-by	I_{SB}		5	mA

1) $U_{DD} = 0 \text{ V}$ 2) $U_{DD} = 5 \text{ V}$ 3) nur Eingang Cl

Dynamische Kennwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
a) direkte Zählweise				
Taktperiode an IN 1	t_C	500		ns
High-Breite des Taktes an IN 1	$t_{W(IH)}$	240		ns
Low-Breite des Taktes an IN 1	$t_{W(IL)}$	240		ns
Setzzeit für Zählrichtungsumschaltung mit $\bar{UD}/P 6$	$t_{S(\bar{UD})}$	1		μs
b) Summe-Differenz-Zählweise				
Taktperiode an IN 1, I 2/P 5, I 3/T	t_{cad}	20		μs
High-Breite des Taktes an IN 1, I 2/P 5, I 3/T	$t_{W(IH)}$	500		ns
Low-Breite des Taktes an IN 1, I 2/P 5, I 3/T	$t_{W(IL)}$	19		μs
c) Summe-Zählweise				
Setzzeit für Zählrichtungsumschaltung mit $\bar{UD}/P 6$	$t_{S(\bar{UD})}$	100		μs
Haltezeit für Zählrichtungsumschaltung mit $\bar{UD}/P 6$	$t_{H(\bar{UD})}$	40		μs
d) Cl/ZI als Takteingang				
Taktperiode an Cl/ZI	t_C	2,5		μs
High-Breite des Taktes an Cl/ZI	$t_{W(CH)}$	1,2		μs
Low-Breite des Taktes an Cl/ZI	$t_{W(CL)}$	1,2		μs