

Information



64 k x 1 dynamischer RAM U 2164 D

Vorläufiges Datenblatt !

Der integrierte Schaltkreis U 2164 D ist ein dynamischer RAM in n-Kanal-Silicon-Gate-Technologie mit wahlfreiem Zugriff und einer Speicherkapazität von 65 536 bit in einer Organisation von 64 k x 1.

Durch das Multiplexen der Adreßsignale ist der Einsatz des platzsparenden 16poligen Dual-in-line-Gehäuses möglich. Der Schaltkreis ist für den Aufbau von RAM-Blöcken verschiedener EDVA-Systeme, Mikrorechner und Automatisierungseinrichtungen bestimmt.

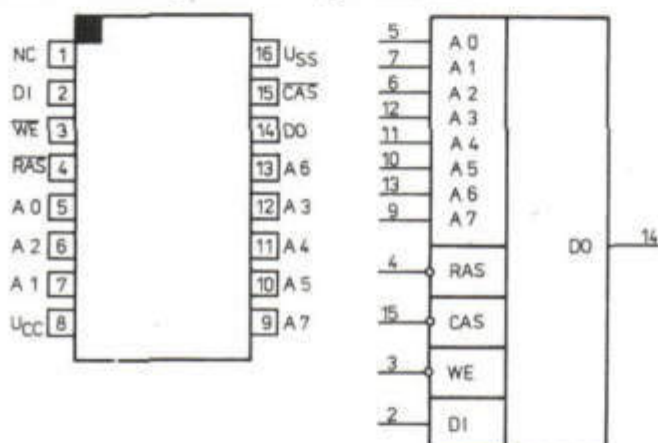


Bild 1: Anschlußbelegung und Schaltungskurzzeichen

Bezeichnung der Anschlüsse:

1	NC	nicht angeschlossen	9	A 7	Adresseneingang
2	DI	Dateneingang	10	A 5	Adresseneingang
3	WE	Schreibsignal	11	A 4	Adresseneingang
4	RAS	Eingang des Signals der Zeilenauswahl	12	A 3	Adresseneingang
5	A 0	Adresseneingang	13	A 6	Adresseneingang
6	A 2	Adresseneingang	14	DO	Datenausgang
7	A 1	Adresseneingang	15	CAS	Eingang des Signals zur Spaltenauswahl
8	U _{CC}	Betriebsspannung +5 V	16	U _{SS}	Bezugspotential

Funktionsweise

Adressierung

Die 16 Adressen, die zur Auswahl einer der 65 536 Speicherzellen erforderlich sind, werden zeitmultiplex über die 8 Adresseneingänge A 0 ... A 7 in die internen Adressenspeicher übernommen. Das wird durch die zeitliche Folge zweier abfallender Flanken von Taktimpulsen mit TTL-Pegeln erreicht.

Der erste Taktimpuls, Row-Adress-Strobe ($\overline{RAS}$), übernimmt die Reihenadressen in den Chip. Der zweite Taktimpuls, Column-Adress-Strobe ($\overline{CAS}$), übernimmt danach die 8 Spaltenadressen in den Chip. Jedes dieser Signale $\overline{RAS}$ und $\overline{CAS}$ löst eine Folge von intern erzeugten Taktimpulsen aus.

Die beiden Taktketten sind logisch in der Weise gegeneinander verriegelt, daß die zeitmultiplexe Adressenübernahme außerhalb des kritischen Zeitweges für den Datenzugriff beim Lesen liegt. Die späteren Ereignisse in der $\overline{CAS}$ -gesteuerten Taktkette sind gesperrt, bis ein Signal (GATED $\overline{CAS}$) entsteht, das von der $\overline{RAS}$ -Taktkette abgeleitet ist. Dieses GATED $\overline{CAS}$ erlaubt, daß der $\overline{CAS}$ -Takt extern dann schon aktiviert werden darf, wenn die Zeilenadressenhaltezeit (T_{RLZX}) vergangen ist und die Adresseninformation von Zeile zu Spalte gewechselt hat.

Datenein- und -ausgang

Die Daten, die in eine ausgewählte Zelle eingeschrieben werden sollen, werden bei einer Kombination der $\overline{WE}$ - und $\overline{CAS}$ -Signale in ein Dateneingangsregister übernommen, wenn $\overline{RAS}$ aktiv ist. Das letzte der beiden Signale ($\overline{WE}$, $\overline{CAS}$) veranlaßt mit seiner abfallenden Flanke die Übernahme der Dateninformation (DI) in das Dateneingangsregister; dadurch gibt es verschiedene Möglichkeiten der Schreibzyklussteuerung.

Bei einem Schreibzyklus, bei dem $\overline{WE}$ vor $\overline{CAS}$ aktiv (Low) wird, wird DI durch $\overline{CAS}$ übernommen. Die Dateneingangsvorhaltezeit (T_{IVCL}) und -haltezeit (T_{CLIX}) sind dann auf $\overline{CAS}$ zu beziehen.

Wenn die Eingangsdaten beim $\overline{CAS}$ -Übergang noch nicht verfügbar sind oder wenn ein READ-WRITE-Zyklus gewünscht wird, muß das $\overline{WE}$ -Signal verzögert werden bis der $\overline{CAS}$ -Übergang erfolgte.

In diesem DELAYED-WRITE-Zyklus sind die o. g. Zeiten (T_{IVWL} bzw. T_{WLIX}) auf $\overline{WE}$ zu beziehen (sh. Bild 4 und 7).

Datenausgangssteuerung

Der normale Zustand des Datenausganges (DO) ist der hochohmige Zustand. Immer wenn $\overline{CAS}$ inaktiv (High) ist, ist DO im hochohmigen Zustand. Der einzige Zeitpunkt, in dem der Ausgang eingeschaltet ist und die logische 0 oder 1 enthält, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis $\overline{CAS}$ zurück in den inaktiven (High-) Zustand geht.

Wenn der Speicherzyklus ein READ-, READ-MODIFY-WRITE- oder ein DELAYED-WRITE-Zyklus ist, dann geht DO vom hochohmigen in den aktiven Zustand über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zelle (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis $\overline{CAS}$ inaktiv (High) wird, unabhängig davon, ob $\overline{RAS}$ inaktiv wird oder nicht.

Wenn der Speicherzyklus ein WRITE-Zyklus ist ($\overline{WE}$ aktiv, bevor $\overline{CAS}$ aktiv wird), dann behält der Datenausgang DO seinen hochohmigen Zustand während des gesamten Zyklusses. Diese Konfiguration erlaubt dem Anwender volle Steuermöglichkeit von DO allein durch die Zeitsteuerung von $\overline{WE}$. Dadurch, daß der Ausgang die Daten speichert, bleiben die Daten von der Zugriffszeit an bis zum Beginn eines folgenden Zyklusses ohne Nachteil für die Zugriffszeit (Ausdehnung) gültig.

PAGE-MODE

Die PAGE-MODE-Zyklen erlauben bei aufeinanderfolgende Speicheroperationen für verschiedene Spaltenadressen bei der gleichen Zeilenadresse erhöhte Geschwindigkeit ohne Anwachsen der Verlustleistung. Das wird durch eine eingespeicherte Zeilenadresse und $\overline{RAS}$ = aktiv (Low) während aller folgenden Speicherzyklen, die sich auf die gleiche Zeilenadresse beziehen, erreicht. Dieser PAGE-MODE-Zyklus spart die Verlustleistung ein, die mit dem $\overline{RAS}$ -Übergang verbunden ist. Die Zeit für die Übernahme weiterer Zeilenadressen wird dann eingespart. Deshalb sind Zugriffs- und Zykluszeit um diesen Betrag kleiner.

Auffrischen

Das Auffrischen der Daten in der Speichermatrix mit dynamischen Zellen wird ausgeführt, indem ein Speicherzyklus für jede der 128 (A 0 ... A 6) Zeilenadressen in dem Zeitintervall von 2 ms ausgeführt wird.

Neben den normalen Speicherzyklen ist dies auch mittels $\overline{\text{RAS}}$ -ONLY-REFRESH-Zyklen vorteilhaft möglich. Damit ergibt sich eine erheblich niedrigere Verlustleistung.

Einschalten der Betriebsspannungen

Solange eine beliebige Eingangsspannung nicht negativer als -0,3 V ist, wird keine bestimmte Reihenfolge der Signale vorgeschrieben. Eingangsspannungen negativer als -0,3 V dürfen an den Eingangsanschlüssen erst 1 ms nach dem Anlegen der Betriebsspannung auftreten.

Wenn im Fehlerfall die Versorgungsspannung die angegebene Grenze überschreitet, sind zur Vermeidung von Ausfällen die Signale $\overline{\text{RAS}}$ und $\overline{\text{CAS}}$ in den inaktiven Zustand zu steuern.

Nachdem die Betriebsspannungen anliegen, benötigt der Speicher mindestens 8 REFRESH-Zyklen, um seinen normalen Betrieb zu gewährleisten.

Grenzwerte ($U_{SS} = 0 \text{ V}$)

Kennwert	Kurzzeichen	U 2164 D 20/U 2164 D 25		Einheit
		min.	max.	
Spannung an allen Eingängen	U_I	-2,0	7,0	V
Ausgangsspannung	U_O	-2,0	7,0	V
Betriebsspannung	U_{CC}	-0,5	7,0	V
Betriebstemperatur	ϑ_a	0	70	°C
Lagerungstemperatur	ϑ_{stg}	-65	150	°C
Verlustleistung	P_V		1	W

Betriebsbedingungen (Die Zeitmessung erfolgt mit $t_T = 5 \text{ ns.}$)

Kennwert	Kurzzeichen	U 2164 D 20		U 2164 D 25		Einheit	Bedingungen
		min.	max.	min.	max.		
Betriebsspannung	U_{CC}	4,5	5,5	4,75	5,25	V	
Eingangsspannung High	U_{IH}	2,4	5,5	2,4	5,5	V	
Eingangsspannung Low	U_{IL}	-2,0	0,8	-2,0	0,8	V	1)
Übergangszeit (Anstieg/Abfall)	t_T	3	50	3	50	ns	2)
$\overline{\text{RAS}}$ -Vorladezeit	T_{RHRL}	120		200		ns	3)
$\overline{\text{RAS}}$ -Haltezeit	T_{CLRHL}	110		150		ns	
$\overline{\text{CAS}}$ -Haltezeit	T_{RLCH}	200		250		ns	
$\overline{\text{RAS}}$ - $\overline{\text{CAS}}$ -Verzögerungszeit	T_{RLCL}	45	90	75	100	ns	
$\overline{\text{CAS}}$ -Vorladezeit	T_{CHCL}	45		90		ns	
$\overline{\text{CAS}}$ - $\overline{\text{RAS}}$ -Vorladezeit	T_{CHRL}	-20		-20		ns	
Zeilenadressenvorhaltezeit	T_{ZVRL}	0		0		ns	
Zeilenadressenhaltezeit	T_{RLZX}	30		45		ns	
Spaltenadressenvorhaltezeit	T_{SVCL}	0		0		ns	
Spaltenadressenhaltezeit	T_{CLSX}	45		60		ns	
Spaltenadressenhaltezeit von $\overline{\text{RAS}}$ an	T_{RLSK}	135		160		ns	
Refresh-Periode	t_{REF}		2		2	ms	

Kennwert	Kurz- zeichen	U 2164 D 20		U 2164 D 25		Ein- heit	Bedin- gungen
		min.	max.	min.	max.		
<u>READ/WRITE-Zyklus</u>							
Zykluszeit	T_{RLRL}	330		460		ns	
RAS-Impulsbreite	T_{RLRH}	200	10000	250	10000	ns	
CAS-Impulsbreite	T_{CLCH}	110	10000	150	10000	ns	
Lesekommandovorhaltezeit	T_{WHCL}	0		0		ns	
Lesekommandohaltezeit	T_{RHWL}	0		0		ns	
WE-Vorhaltezeit	T_{WLCL}	0		0		ns	4)
WE-Haltezeit	T_{CLWH}	40		50		ns	
WE-Haltezeit von RAS an	T_{RLWH}	130		150		ns	
WE-Impulsbreite	T_{WLWH}	45		50		ns	
WE-RAS-Vorhaltezeit	T_{WLRH}	55		60		ns	
WE-CAS-Vorhaltezeit	T_{WLCH}	55		60		ns	
Dateneingangsvorhaltezeit	T_{IVCL}	0		0		ns	5)
	T_{IVWL}						
Dateneingangshaltezeit	T_{CLIX}	45		60		ns	5)
	T_{WLIX}						
Dateneingangshaltezeit von RAS an	T_{RLIX}	135		160		ns	
<u>READ-MODIFY-WRITE-Zyklus</u>							
RW-Zykluszeit bei RMW	T_{RLRL}	375		495		ns	
RAS-Impulsbreite bei RMW	T_{RLRH}	230	10000	285	10000	ns	
CAS-Impulsbreite bei RMW	T_{CLCH}	140	10000	185	10000	ns	
RAS-WE-Verzögerungszeit	T_{RLWL}	175		220		ns	4)
CAS-WE-Verzögerungszeit	T_{CLWL}	85		120		ns	4)
<u>PAGE-MODE-Zyklus</u>							
RW-Zykluszeit im PGM	T_{CLCL}	200		280		ns	
RMW-Zykluszeit im PGM	T_{RLRH}	230		325		ns	
CAS-Vorladezeit im PGM	T_{CLCH}	80		120		ns	
RAS-Impulsbreite im PGM	T_{CHWL}	200	10000	300	10000	ns	
CAS-Impulsbreite im PGM	T_{CHCL}	110	10000	150	10000	ns	
Lesekommandohaltezeit im PGM	T_{CLCL}	0		0		ns	

Bedingungen

- 1) Die Eingangsspannung Low darf nicht länger als 40 ns negativer als -0,3 V sein.
- 2) U_{IHmin} und U_{ILmax} sind Bezugspunkte für die Zeitmessung der Eingangssignale, Übergangszeiten werden zwischen U_{IH} und U_{IL} gemessen.
- 3) Betrieb innerhalb T_{RLCL} sichert, daß T_{RLOV} max. eingehalten wird ($T_{RLCLmax}$ ist nur als Bezugspunkt angegeben.). Wenn $T_{RLCL} > T_{RLCLmax}$, dann wird die Zugriffszeit T_{RLOV} verlängert.
- 4) T_{WLVL} , T_{RLWL} und T_{CLWL} sind keine einschränkenden Betriebsparameter. Wenn $T_{WLCL} \geq T_{WLCLmin}$, ist der Zyklus ein EARLY-WRITE-Zyklus und der Datenausgang bleibt während des gesamten $\overline{CAS}$ -Zyklusess hochohmig. Wenn $T_{CLWL} = T_{CLWLmin}$ und $T_{RLWL} = T_{RLWLmin}$, ist der Zyklus ein READ-WRITE-Zyklus und der Datenausgang gibt die Information der gelesenen Zelle ab. Wenn keine dieser Bedingungen erfüllt ist, ist der Zustand des Datenausganges zur Zugriffszeit unbestimmt.
- 5) Diese Parameter beziehen sich auf $\overline{CAS}$ in EARLY-WRITE- und auf $\overline{WE}$ in DELAYED-WRITE- bzw. READ-MODIFY-WRITE-Zyklen.
- 6) Der Ausgang ist abgeschaltet (hochohmig), $\overline{RAS}$ und $\overline{CAS}$ sind High (logisch 1).
- 7) Annahme, daß $T_{RLCL} = T_{RLCLmax}$
- 8) gemessen mit 2 TTL-Lasten, 100 pF
- 9) $T_{CHOXmax}$ definiert die Zeit, zu welcher der Datenausgang hochohmig wird, diese Zeit ist nicht auf einen Pegel bezogen.

Statische Kennwerte

Kennwert	Kurzzeichen	U 2164 D 20		U 2164 D 25		Einheit	Bedingung
		min.	max.	min.	max.		
Betriebsstrom (mittlerer Wert bei RAS-CAS-Zyklen)	I_{DD1}		55		55	mA	$I_{RLRL} = I_{RLRLmin}$ $\vartheta_a = 25^\circ\text{C}$
Ruhestrom	I_{DD2}		5		5	mA	RAS = U_{IH} DO = High Z
Refreshstrom (mittlerer Wert)	I_{DD3}		40		40	mA	CAS = U_{IH} $T_{RLRL} = T_{RLRLmin}$ $\vartheta_a = 25^\circ\text{C}$
PAGE-MODE-Strom (mittlerer Wert)	I_{DD4}		40		40	mA	RAS = U_{IL} $I_{CLCL} = I_{CLCLmin}$ $\vartheta_a = 25^\circ\text{C}$
Eingangsleckstrom (beliebiger Eingang, alle anderen Pins: 0 V)	I_I	-10	10	-10	10	μA	$U_0 = 0 \dots 5,5 \text{ V}$
Ausgangsleckstrom (DO = High Z)	I_O	-10	10	-10	10	μA	$U_0 = 0 \dots 5,5 \text{ V}^{6)}$
Ausgangsspannung H	U_{OH}	2,4		2,4		V	$I_{out} = -4 \text{ mA}$
Ausgangsspannung L	U_{OL}		0,4		0,4	V	$I_{out} = 4 \text{ mA}$
Eingangskapazität (A 0 ... A 7, DI)	C_I		6		6	pF	$\vartheta_a = 25^\circ\text{C}$
Eingangskapazität (RAS, CAS, WE)	C_I		8		8	pF	$\vartheta_a = 25^\circ\text{C}$
Ausgangskapazität	C_O		7		7	pF	CAS = U_{IH}

Dynamische Kennwerte

Kennwert	Kurzzeichen	U 2164 D 20		U 2164 D 25		Einheit	Bedingung
		min.	max.	min.	max.		
RAS-Zugriffszeit	T_{RLOV}		200		250	ns	7)
CAS-Zugriffszeit	T_{CLOV}		110		150	ns	8)
Ausgangsabschaltzeit	T_{CHOX}	0	50	0	50	ns	0,5 V über Low 0,5 V unter High 9)

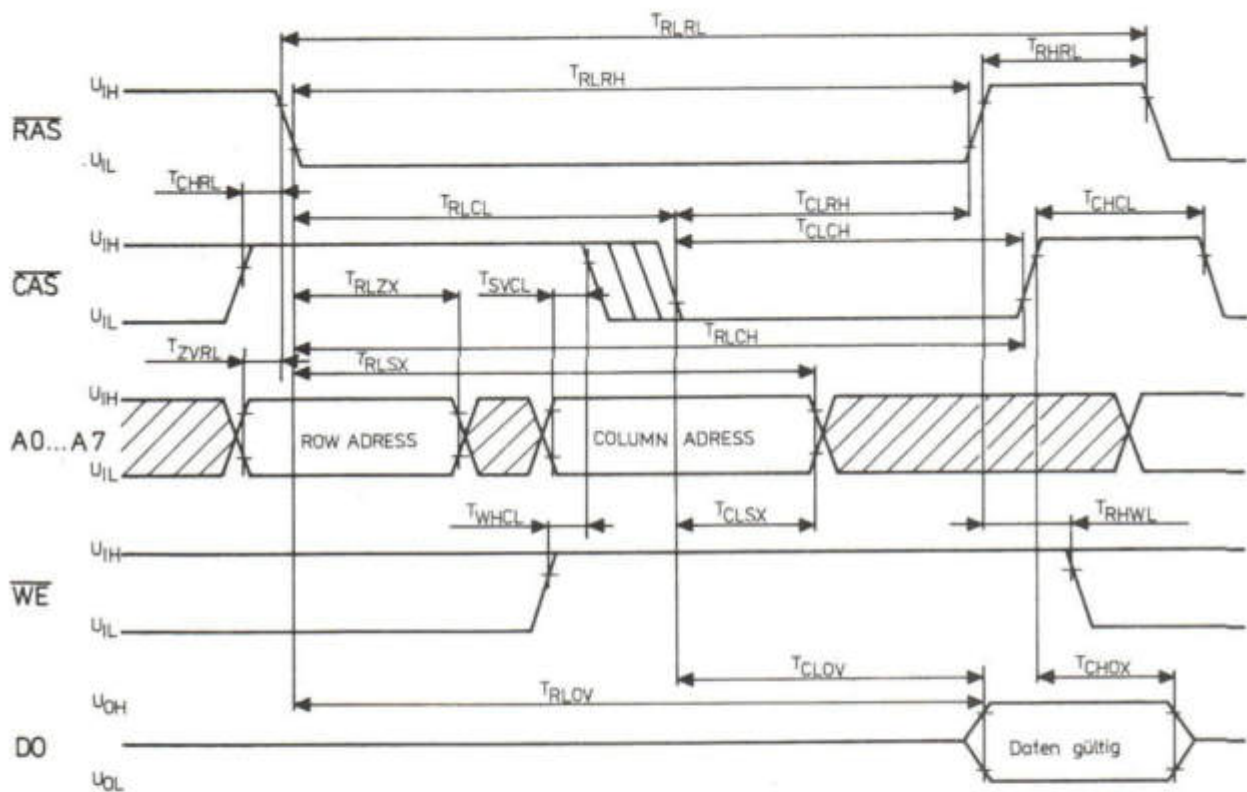


Bild 4: Impulsdiagramm READ-Zyklus

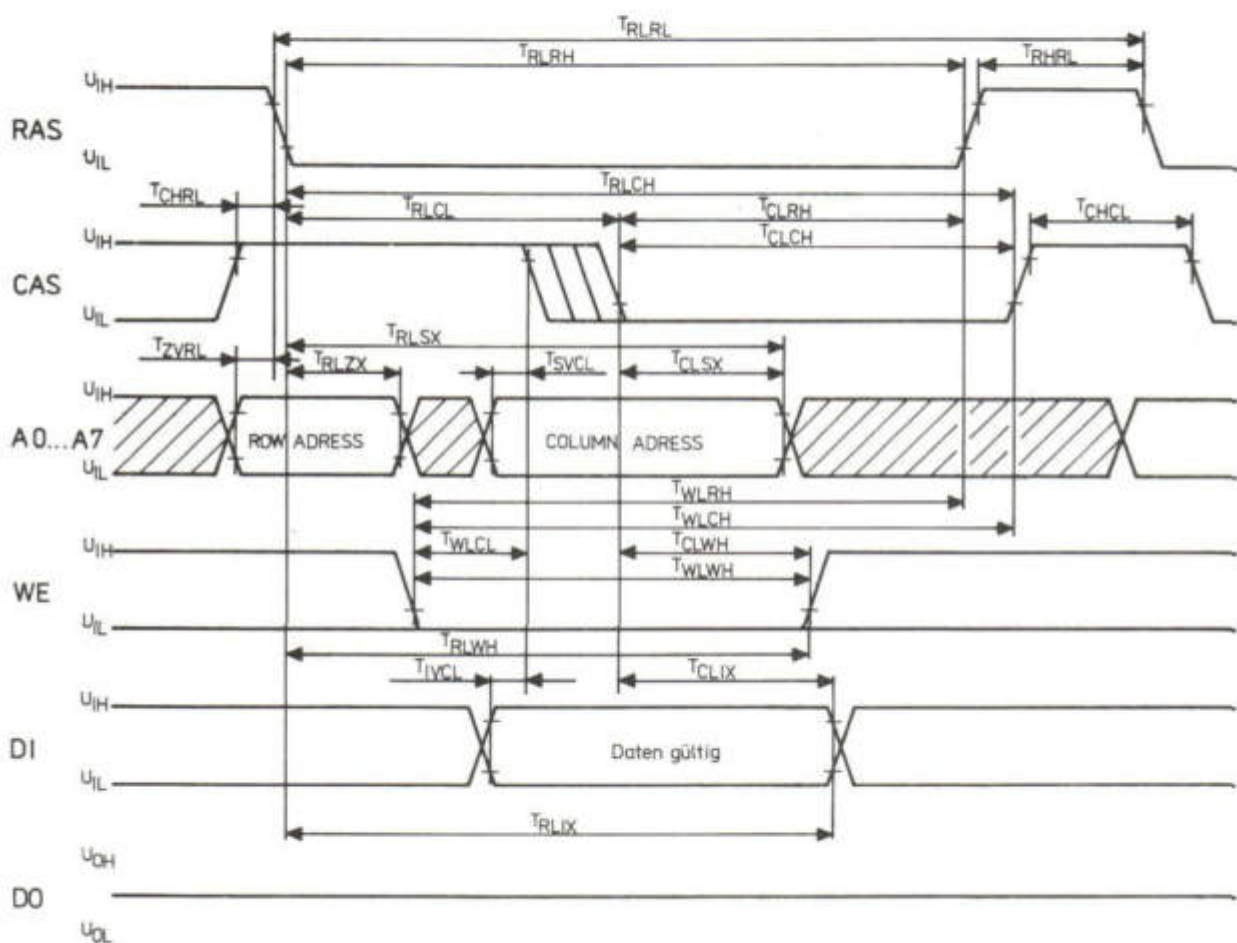


Bild 5: Impulsdiagramm WRITE-Zyklus



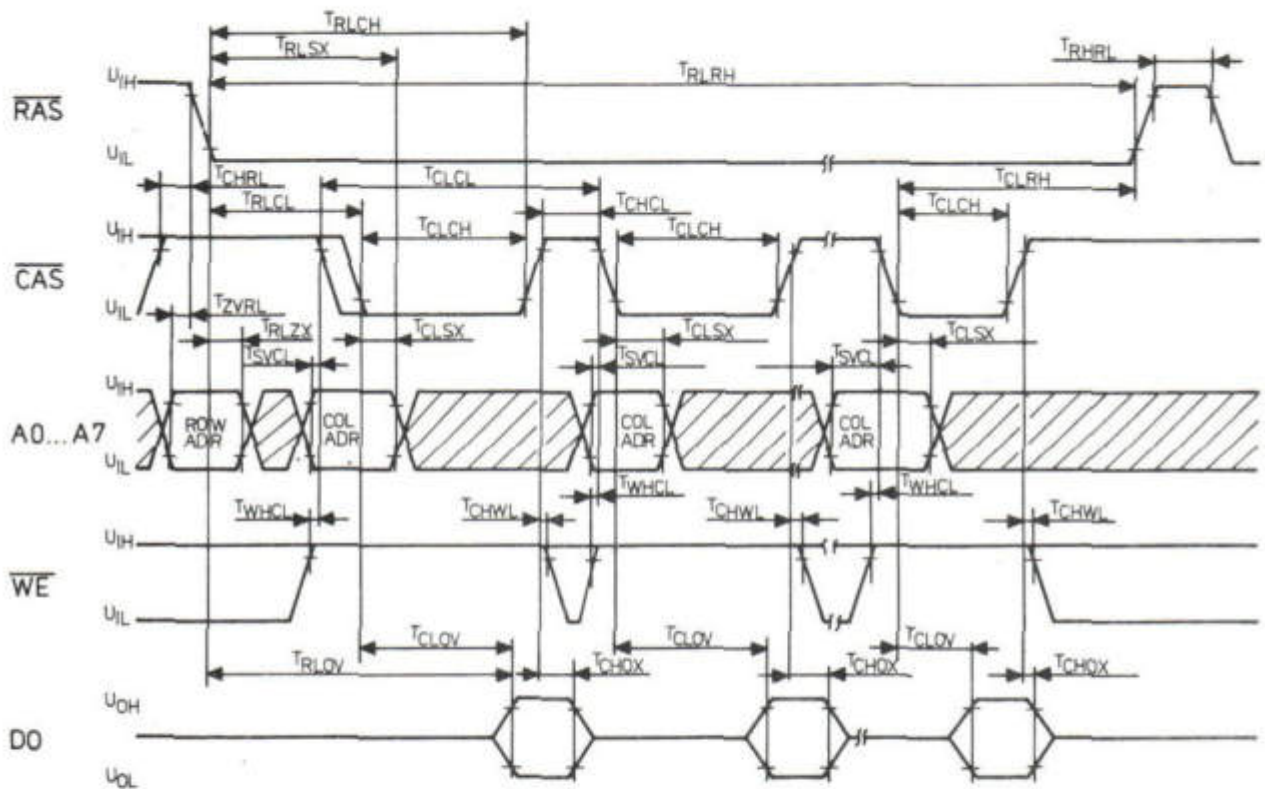


Bild 8: Impulsdiagramm PAGE-MODE-READ-Zyklus

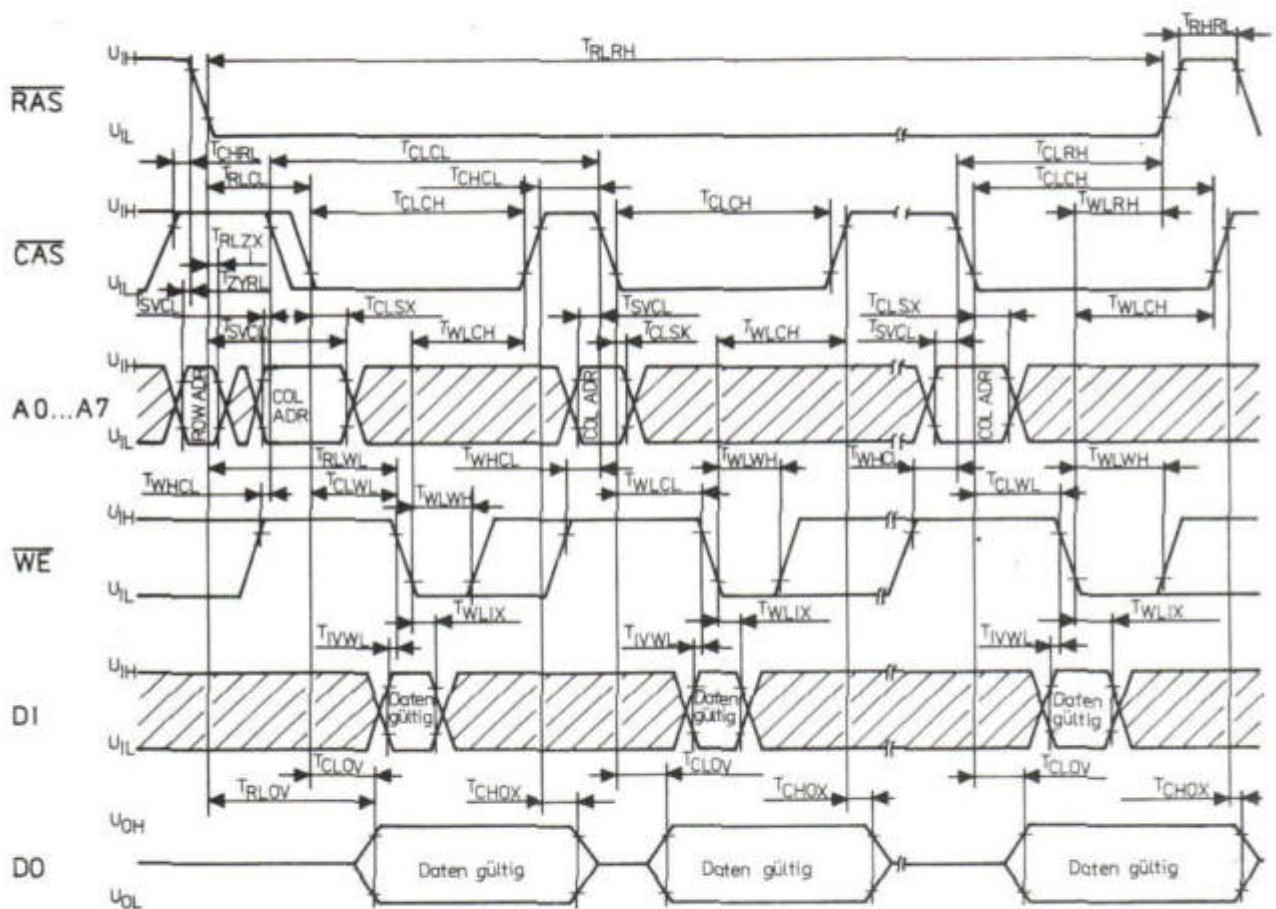


Bild 9: Impulsdiagramm PAGE-MODE-READ-MODIFY-WRITE-Zyklus

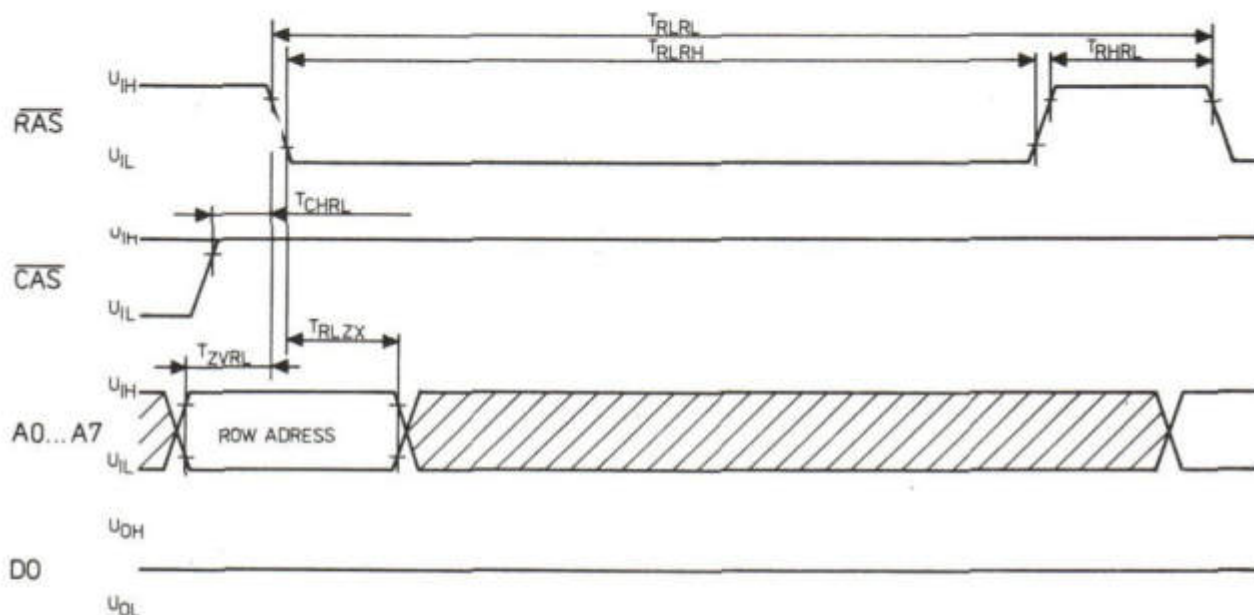


Bild 10: Impulssdiagramm RAS-ONLY-REFRESH-Zyklus

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung. Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

11/87



veb mikroelektronik 'karl marx' erfurt
stammbetrieb

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

elektronik
export·import

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elee Telefon: 2180