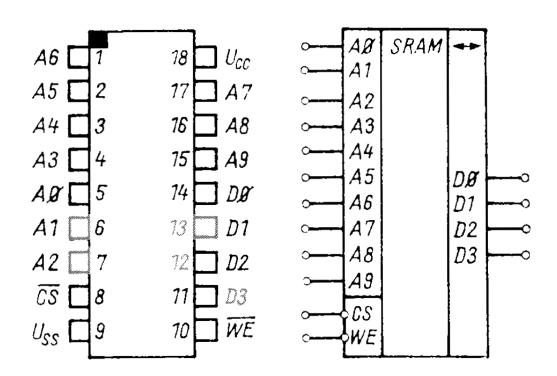
# U 6548 DC 20 · U 6548 DC 35 Vorläufige technische Daten

 $\oplus$ 

Schneller Statischer Schreib-/Lese-Speicher mit wahlfreiem Zugriff (SRAM)

- Speicherkapazität 4096 Bit
- Organisation 1 K × 4 Bit
- Zugriffszeit/Zykluszeit 20 ns/30 ns (U 6548 DC 20) Grundtyp 35 ns/50 ns (U 6548 DC 35) Anfalltyp
- Betriebsspannung 5 V  $\pm$  10  $^{\circ}/_{0}$
- geringer Ruhestrom
- gemeinsame (bidirektionale) Datenein-/-ausgänge
- Tristate-Ausgangsstufen
- Ein- und Ausgänge für den Typ U 6548 DC 35 TTL-kompatibel
- Adressenzwischenspeicherung
- Datenerhalt bis Ucc = 2 V
- CMOS Silizium Gate Technologie
- pinkompatibel zum U 224

## Bauform 7



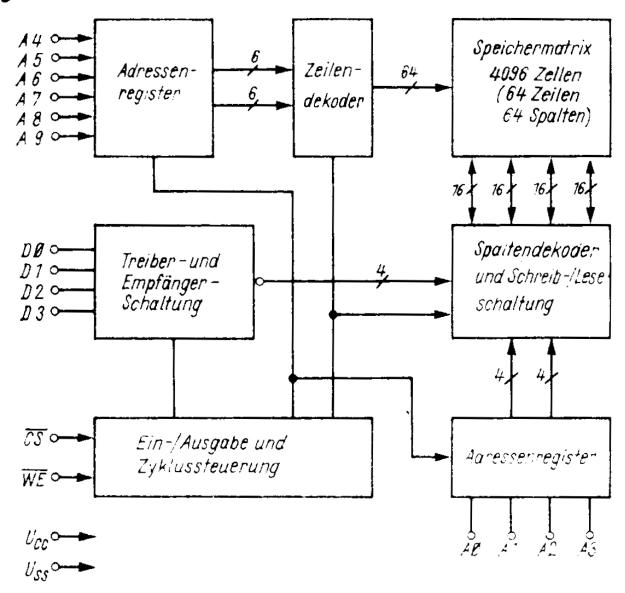
## Anschlußbelegung und Schaltungskurzzeichen

A 0	A 9	Adresseneingänge
CS		Chipauswahl
WE		Lese-/Schreibsteuerung
$\Gamma$	$\Gamma$	Data and a 1

D 0 . . . D 3 Datenein-/-ausgänge
UCC Betriebsspannung

U<sub>SS</sub> Masse

#### Blockschaltung



## Grenzwerte alle Spannungen sind auf USS = 0 V bezogen

		mi <b>n</b>	max	
Spannungen an allen Pins	$\cup_{SR}$	0,5	7	V
Verlustl <b>eistun</b> g	P <sub>v</sub>		0,5	W
Lagertemperatur	∂sta	5 <b>5</b>	125	°C

Statische Betriebsbedingungen		DC 20			DC 35		
		mi <b>n</b>	max	min	m <b>ax</b>		
Betriebsspannung	Ucc	4,5	5,5	4,5	5,5 V		
Schlafspannung	UCCS	2		2	V		
L-Eingangsspannung <sup>1</sup> )	UIL	<b>-0</b> ,3	0,8	0,3	0, <b>8</b> V		
H-Eingangsspannung	UIH	UCC-2	UCC 4 0,5	2,2	$U_{CC} + 0.5 \text{ V}$		
<b>Umgebungstemperatur</b>	∂ <sub>a</sub>	0	70	0	70 °C		

<sup>1)</sup> Eine einmalige Unterschreitung bis –2 V für die Dauer von 10 ns innerhalb der Zykluszeit ist zulässig

Dynamische Betriebsbedingungen		U 65 <b>48</b> DC 20	U 6548 DC 35	
CS-Impulsdauer				
negativ	TCLCH	20	35	ns
positiv	<sup>T</sup> CHCL	10	15	ns
Adreßvorhaltezeit	TAVCL	5	10	ns
Adreßhaltezeit	TCLAX	5	10	ns
WE-				
Impulsdauer	<sup>T</sup> WLWH	20	35	ns
Impulsvorhaltezeit	TWLCH	20	35	ns
Impulshaltezeit	TCLWH	20	35	ns
Datenvorhaltezeit	TDVWH	20	35	ns
Datenhalt <b>ezeit</b>	TWHDZ	0	0	ns
Schreib-Lese-Abstand	TWHCL	0	0	ns
Lese-Schreib-Abstand	TDVWL	0	0	ns
WE-Datenverzögerungszeit	TWLDV	0	0	ns
WE-Vorhalt	TWLCL	0	0	ns
WE-Nachlauf	TCHWH	0	0	ns
Zykluszeit	TCLCL	30	50	ns

			U 654 <b>8</b>			
Kennwerte		DC 20		DC 35		
		min	max	min	max	K
Stromaufnahme	<sup>1</sup> cco		20		20	mA²)
Ruhestrom	CCR		50		50	$\mu A^3$ )
Schlafstrom	Iccs		10		10	μ <b>Α</b> 4)
Ei <b>ngangsleckst</b> rom	ill		1		1	$\mu A^3$ )
L- <b>Ausgangsspa</b> nnung	UOL		0,4		0,	4 V <sup>5</sup> )
H-Ausgangsspannung	UOH	2,4		2,4		V <sup>6</sup> )
CS-Zugriffszeit	TCLDV		20		35	ns <sup>7</sup> )
Verzögerungszeit						
CS Ausgang hochohmig	TCHQZ	0	10	0	15	ns <sup>8</sup> )
WE -> Ausgang hochohmig	TWLQZ	0	10	0	15	ns <sup>8</sup> )
Eingangskapazität	Cı		5		5	pF³)

<sup>?)</sup>  $U_{CC} = 5.0 \text{ V}$ , f = 10 MHz, für  $\overline{CS}$ :  $U_{IL} = U_{SS}$ ,  $U_{IH} = U_{CC}$ 

<sup>)</sup>  $U_{CC}$  = 5,5 V,  $U_{IL}$  =  $U_{SS}$ ,  $U_{IH}$  =  $U_{CC}$ 

<sup>4)</sup> UCC == 3 V, UIL == USS, UIH == UCC

 $<sup>^{\</sup>circ}$ ) U<sub>CC</sub> = 4.5 V, I<sub>OL</sub> == 8 mA

<sup>1)</sup>  $U_{CC} = 4.5 \text{ V}$ ,  $I_{OH} = -4 \text{ mA}$ 

<sup>?)</sup>  $U_{CC} = 4.5 \, V$ ,  $U_{IL} = 0.8 \, V$ 

 $<sup>^{5}</sup>$ ) U<sub>CC</sub> = 5 V, U<sub>IL</sub> =U<sub>SS</sub>, U<sub>IH</sub> = U<sub>CC</sub>

<sup>°)</sup>  $U_{CC} - U_{SS} = 0$ , f = 1 MHz