



Schnelles 16 bit - Mikroprozessorsystem U 80600

U 80601	16bit-Mikroprozessor
U 80606	Buscontroller
U 80608	Schaltkreis für Fehlererkennung und -korrektur
U 80610	DRAM-Controller

Die CPU U 80601 ist ein leistungsfähiger Mikroprozessor mit der Möglichkeit des Einsatzes in Multiuser- und Multitasksystemen. Abhängig von seinem Einsatz ist die Leistungsfähigkeit des U 80601 im Vergleich zur CPU KR 1810 WM 86 bis zu 6x größer, wobei der Prozessor softwaremäßig aufwärtskompatibel zur CPU KR 1810 WM 86 ist.

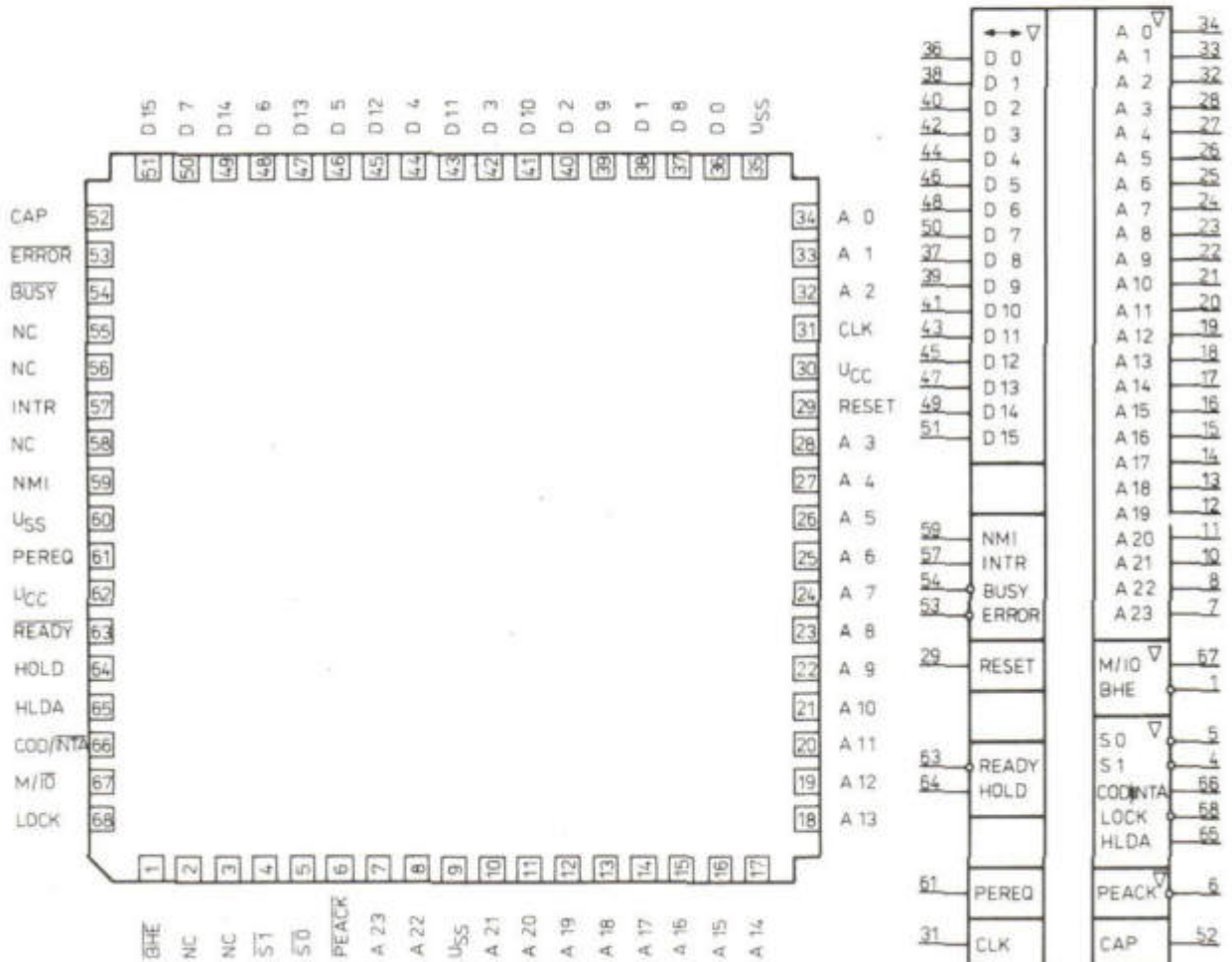


Bild 1: Anschlußbelegung und Schaltzeichen U 80601

Bezeichnung und Beschreibung der Anschlüsse

- 1 **BHE** BYTE HIGH ENABLE, Ausgang (Low-aktiv)
wird aktiviert bei Datenübertragungen auf dem höherwertigen Byte des Datenbus D 8 ... D 15. 8 bit breite Systeme, denen normalerweise das höherwertige Datenbyte zugewiesen wird, können mit Hilfe des BHE-Signals selektiert werden. Das Signal ist hochohmig während Bus Hold Acknowledge.
Übertragungsmöglichkeiten:
- | BHE | A 0 | Funktion |
|-----|-----|-----------------------------------|
| 0 | 0 | Wortübertragung |
| 0 | 1 | Byteübertragung oberes Datenbyte |
| 1 | 0 | Byteübertragung unteres Datenbyte |
| 1 | 1 | nicht benutzt |

BUS STATUS, Ausgang (Low-aktiv)

signalisiert Aktivitäten des Busses. Gemeinsam mit den Signalen M/T0 und C00/INTA läßt sich der Typ des Buszyklusses ermitteln. Signale sind hochohmig während Bus Hold Acknowledge.

Busstatusdefinition:

<u>C00/INTA</u>	<u>M/T0</u>	<u>S 1</u>	<u>S 0</u>	Buszyklus
0	0	0	0	Interrupt Acknowledge
0	0	0	1	nicht benutzt
0	0	1	0	nicht benutzt
0	0	1	1	kein Busstatuszyklus
0	1	0	0	falls A 1 = 1, dann Halt, ansonsten Shut down
0	1	0	1	Speicherdaten lesen
0	1	1	0	Speicherdaten schreiben
0	1	1	1	kein Busstatuszyklus
1	0	0	0	nicht benutzt
1	0	0	1	I/O lesen
1	0	1	0	I/O schreiben
1	0	1	1	kein Busstatuszyklus
1	1	0	0	nicht benutzt
1	1	0	1	Speicheranweisung lesen
1	1	1	0	nicht benutzt
1	1	1	1	kein Busstatuszyklus

6 PEREQ
PEACK

PROCESSOR EXTENSION OPERAND REQUEST (Eingang, High-aktiv) AND ACKNOWLEDGE (Ausgang, Low-aktiv)

erweitert die Speicherverwaltungs- und -schutzmöglichkeiten des U 80601 für den Einsatz von Coprozessoren. Das PEREQ-Eingangssignal veranlaßt den U 80601, eine Datenoperationsübertragung zum Coprozessor zu starten, das PEACK-Ausgangssignal signalisiert dem Coprozessor die Übertragung des geforderten Operandes. PEACK verhält sich asynchron zum Systemtakt. PEREQ ist hochohmig während Bus Hold Acknowledge.

7 ... 34 A 0 ... A 23 ADDRESS BUS, Ausgänge (High-aktiv)

Signale zur Ausgabe der physikalischen und I/O-Port-Adresse. A 0 ist Low bei Datenübertragungen der Pins D 0 ... D 7. A 10 ... A 23 sind Low während I/O-Übertragungen. Der Adreßbus ist hochohmig während Bus Hold Acknowledge.

29 RESET

SYSTEM RESET, Eingang (High-aktiv)

setzt die interne Logik des U 80601 zurück. Der U 80601 kann jederzeit nach einer L/H-Flanke und einer Aktivierung des RESET-Einganges (Halten auf High) von mindestens 16 Systemtaktperioden initialisiert werden.

Während RESET aktiv ist, sind die Ausgangspins des U 80601 mit folgenden logischen Zuständen belegt:

1 (High): S 0, S 1, PEACK, A 0 ... A 23, BHE, LOCK

0 (Low): M/T0, C00/INTA, HOLD

hochohmig: D 0 ... D 15

Der U 80601 startet seine Operationen nach der H/L-Flanke an RESET. Die H/L-Flanke muß mit dem Systemtakt synchronisiert werden. Etwa 50 Systemtaktzyklen werden für die interne Initialisierung des U 80601 benötigt, bevor der erste Buszyklus zur Übernahme des Codes von der Power-on-Startadresse erfolgen kann. Eine L/H-Flanke an RESET, synchronisiert mit dem Systemtakt, beendet einen Prozessorzyklus mit der zweiten H/L-Flanke des Systemtaktes. Erfolgt die L/H-Flanke asynchron zum Systemtakt, kann nicht bestimmt werden, welche Phase des Prozessortaktes während der nächsten Systemtaktperiode stattfindet.

		Systemtaktsynchrone L/H-Flanken des RESET sind allerdings nur für Systeme erforderlich, bei denen der Prozessortakt phasensynchron zu einem weiteren Takt sein muß.
31	CLK	SYSTEM CLOCK, Eingang generiert das grundsätzliche Zeitverhalten für U 80600-Systeme. Der U 80601 teilt diesen Takt zur Erzeugung des Prozessortaktes intern durch zwei. Der intern durch zwei geteilte Takt kann mit einem externen Taktgenerator durch eine L/H-Flanke am RESET-Eingang synchronisiert werden.
36 ... 51	D 0 ... D 15	DATA BUS, Eingänge (Low-aktiv = Ausgänge) Dateneingänge während Speicher-, I/O- und Interrupt-Acknowledge-Lesezyklen, Datenausgänge während Speicher- und I/O-Schreibzyklen. Der Datenbus ist hochohmig während Bus Hold Acknowledge.
53, 54	<u>BUSY</u> <u>ERROR</u>	PROCESSOR EXTENSION BUSY AND ERROR, Eingänge (Low-aktiv) kennzeichnen den Arbeitszustand eines Coprozessors des U 80601. Ein aktiver <u>BUSY</u> -Eingang verhindert die Ausführung von WAIT-Befehlen und einigen ESCAPE-Befehlen bis <u>BUSY</u> wieder inaktiv (High) wird. Der U 80601 kann während seiner Wartezeit auf ein inaktives <u>BUSY</u> unterbrochen werden. Ein aktiver <u>ERROR</u> -Eingang signalisiert Fehler des Coprozessors und veranlaßt den U 80601 bei weiterer Ausführung von WAIT- oder ESCAPE-Befehlen einen Interrupt (Interruptnummer 7) auszulösen.
57	INTR	INTERRUPT REQUEST, Eingang (High-aktiv) ermöglicht das Unterbrechen eines laufenden Programmes und den Sprung in eine Interrupt-Serviceroutine. Interrupt-Request sind gesperrt, solange das Interrupt-Enable-Bit des Statusregisters auf Null gesetzt ist. Nachdem der U 80601 einen Interrupt akzeptiert hat, generiert er zwei Interrupt-Acknowledge-Buszyklen zum Lesen eines 8bit-Interruptvektors und zum Erkennen der Interruptquelle. Um ein Interruptprogramm zu starten, muß INTR bis zum Ende des ersten Interrupt-Acknowledge-Zyklus aktiv bleiben. Der INTR-Eingang wird am Anfang eines jeden Prozessorzyklus abgefragt und muß zwei Prozessor-taktperioden vor Ende des gerade aktuellen Befehles High sein, um den Interrupt vor dem nächsten Befehl zu akzeptieren. Der INTR-Eingang ist pegelsensitiv und kann asynchron zum Systemtakt verlaufen.
59	NMI	NON-MASKABLE INTERRUPT REQUEST; Eingang (High-aktiv) unterbricht den U 80601 mit der internen Erzeugung eines Interruptvektors (Interruptnummer 2). Es werden keine Interrupt-Acknowledge-Zyklen ausgelöst und das Interrupt-Enable-Bit wird nicht ausgewertet. Um einen NMI zu erkennen, muß das Signal mindestens vier Taktperioden inaktiv (Low) sein, anschließend auf High gesetzt werden und weitere vier Systemtaktperioden diesen aktiven Zustand halten. NMI ist flankensensitiv und kann asynchron zum Systemtakt erfolgen.
63	<u>READY</u>	BUS READY, Eingang (Low-aktiv) kennzeichnet das Ende eines Buszyklus. Buszyklen können ständig generiert werden, bis sie mit Low des <u>READY</u> -Signales beendet werden. Während Bus Hold Acknowledge wird das Signal ignoriert.
64	HOLD HLDA	BUS HOLD REQUEST (Eingang, High-aktiv) AND HOLD ACKNOWLEDGE (Ausgang, High-aktiv) steuert die Herrschaft des U 80601-Lokalbus. Der HOLD-Eingang ermöglicht anderen Master, die Verwaltung des Lokalbus anzufordern. Falls die Busherrschaft an andere Master vergeben werden kann, floaten die Bustreiber in den hochohmigen Zustand, das HOLA-Signal wird aktiviert und der U 80601 nimmt den Bus-Hold-Acknowledge-Zustand ein. Falls das HOLD-Signal inaktiv wird, kann der U 80601 die Lokalbusherr-

		schaft wieder übernehmen, wobei das HLDA-Signal rückgesetzt wird und der Bus-Hold-Acknowledge-Zustand beendet wird.
		HOLD kann asynchron zum Systemtakt erfolgen.
66	COD/INTA	CODE/INTERRUPT ACKNOWLEDGE, Ausgang Signal zur Erkennung von Instruction-Fetch-Zyklen bzw. Speicherdatenlesezyklen und Interrupt-Acknowledge-Zyklen bzw. I/O-Zyklen. COD/INTA ist hochohmig während Bus Hold Acknowledge.
67	M/IO	MEMORY I/O SELECT, Ausgang Signal zur Trennung von Speicher- und I/O-Zyklen. Ist das Signal während des Statuszyklusses (Ts) High, kennzeichnet dies einen Speicherzyklus oder Halt bzw. Shutdown. Ein-Low-Pegel markiert einen I/O-Zyklus oder einen Interrupt-Acknowledge-Zyklus. Das Signal ist hochohmig während Bus Hold Acknowledge.
68	LOCK	BUS LOCK, Ausgang (Low-aktiv) verhindert, daß andere Systembusmaster innerhalb des folgenden Buszyklusses die Busherrschaft übernehmen. Das Signal kann mit Hilfe des LOCK-Befehles aktiviert werden und wird automatisch während der Ausführung des XCHG-Befehles (Exchange - Austausch Register/Speicher oder Register/Akkumulator) innerhalb der Interrupt-Acknowledge-Zyklen (garantiert zwei aufeinanderfolgende Zyklen für INTA) und während der Zugriffe auf Deskriptortabellen aktiviert. LOCK ist hochohmig während des Bus Hold Acknowledge.
30, 62	U _{CC}	Betriebsspannung (+5 V)
9, 35, 60	U _{SS}	Masse (0 V)
52	CAP	SUBSTRAT FILTER CAPACITOR, Eingang Zwischen diesem Pin 52 und Masse ist ein Kondensator 47 nF ± 20 %/12 V anzuschließen. Dieser Kondensator dient dazu, eventuell auftretende Störspannungsspitzen auszugleichen.

Kurzbeschreibung

Die CPU U 80601 ist ein moderner, leistungsfähiger Mikroprozessor mit der Möglichkeit des Einsatzes in Multiuser- und Multitasksystemen.

Der U 80601 ermöglicht zwei Betriebsarten, den direkten Adreß-Mode (Real-Mode) und den geschützten, virtuellen Adreß-Mode (Virtual-Protected- oder Protected-Mode). Beide Betriebsarten sind mit Hilfe des leistungsfähigen Befehlssatzes des KR 1810 WM 86 programmierbar.

Programme des Real-Mode nutzen einen direkt adressierbaren Adreßraum bis zu 1 MByte, während der U 80601 im Protected-Mode automatisch einen virtuellen Adreßraum bis zu 1 GByte pro Task, bestehend aus Blöcken von 16 MByte direktem Adreßraum, bereitstellt.

Darüberhinaus ist im Protected-Mode ein Speicherschutz realisiert, der es z. B. ermöglicht, das Betriebssystem von Nutzerprogrammen zu trennen und verschiedene Tasks sowohl programm- als auch datenmäßig unterschiedlich privilegiert zu bearbeiten.

Beide Befehlsarten benutzen den gleichen Grundbefehlssatz, gleiche Register und Adressierungsmodi.

Entsprechend dem Blockschaltbild des U 80601 läßt sich der Schaltkreis in folgende Baugruppen unterteilen:

- Buseinheit (Bus Unit - BU)
- Befehlseinheit (Instruction Unit - IU)
- Ausführungseinheit (Execution Unit - EU)
- Adreßeinheit (Address Unit - AU)

Buseinheit

Die Buseinheit enthält Adreßlatches und Treiber, den Coprozessorinterface sowie die Datenrichtungs- und Bussteuerung zur Realisierung von Speicher- und I/O-Zugriffen des U 80601 und zur Koordination mit Coprozessoren sowie zur Busvergabe an masterfähige Prozessoren.

Die Einheit arbeitet nach dem sog. Prefetch-Mechanismus, der bei unmittelbar aufeinanderfolgenden Befehlen bereits einen Vorgriff auf den folgenden Befehl ausführt. Falls innerhalb einer Befehlsfolge eine Lücke auftritt, wird die Prefetch-Schlange auf Null zurückgesetzt und der Prefetch-Mechanismus setzt mit Beginn einer weiteren Befehlsfolge erneut ein.

Die 6 Byte tiefe Prefetch-Schlange enthält Befehlswörter, die momentan von der Ausführungseinheit noch nicht benötigt werden. Somit werden Leerlaufzeiten, die bei aufeinanderfolgenden Speicherzugriffen entstehen, ausgeglichen.

Befehlseinheit

Die von der Prefetch-Schlange übernommenen Befehle werden vom Befehlsdekodeur der Befehlseinheit dekodiert und in einer weiteren Warteschlange, die maximal drei dekodierte Befehle enthält, abgelegt.

Ausführungseinheit

Innerhalb der Ausführungseinheit werden die dekodierten Befehle von der Warteschlange übernommen und bearbeitet. Diese Einheit benutzt die Buseinheit für alle Datenübertragungen von und zum Speicher bzw. I/O-Port.

Adresseinheit

Die Adresseinheit übernimmt die Umrechnung von virtuellen Adressen in physikalische Adressen, wie sie von der Buseinheit benötigt werden, und überprüft bei jeder Adresse die Zulässigkeit des Zugriffs sowie die Überschreitung der Segmentgrenze.

Verwendungszweck und wichtige Einsatzgebiete

Der U 80601 ist ein schneller 16bit-Mikroprozessor, der für den Einsatz in leistungsfähigen Personalcomputern und automatischen Steuerungen entwickelt wurde. Er zeichnet sich durch eine hohe Arbeitsgeschwindigkeit (U 80601-1 = 16 MHz Taktfrequenz) bei erhöhtem Datendurchsatz (Pipelining Prefetching) und bei einem großen Adreßbereich (1 GByte pro Task) aus.

Hierbei erfüllt der U 80601 internationale PC-Standardforderungen.

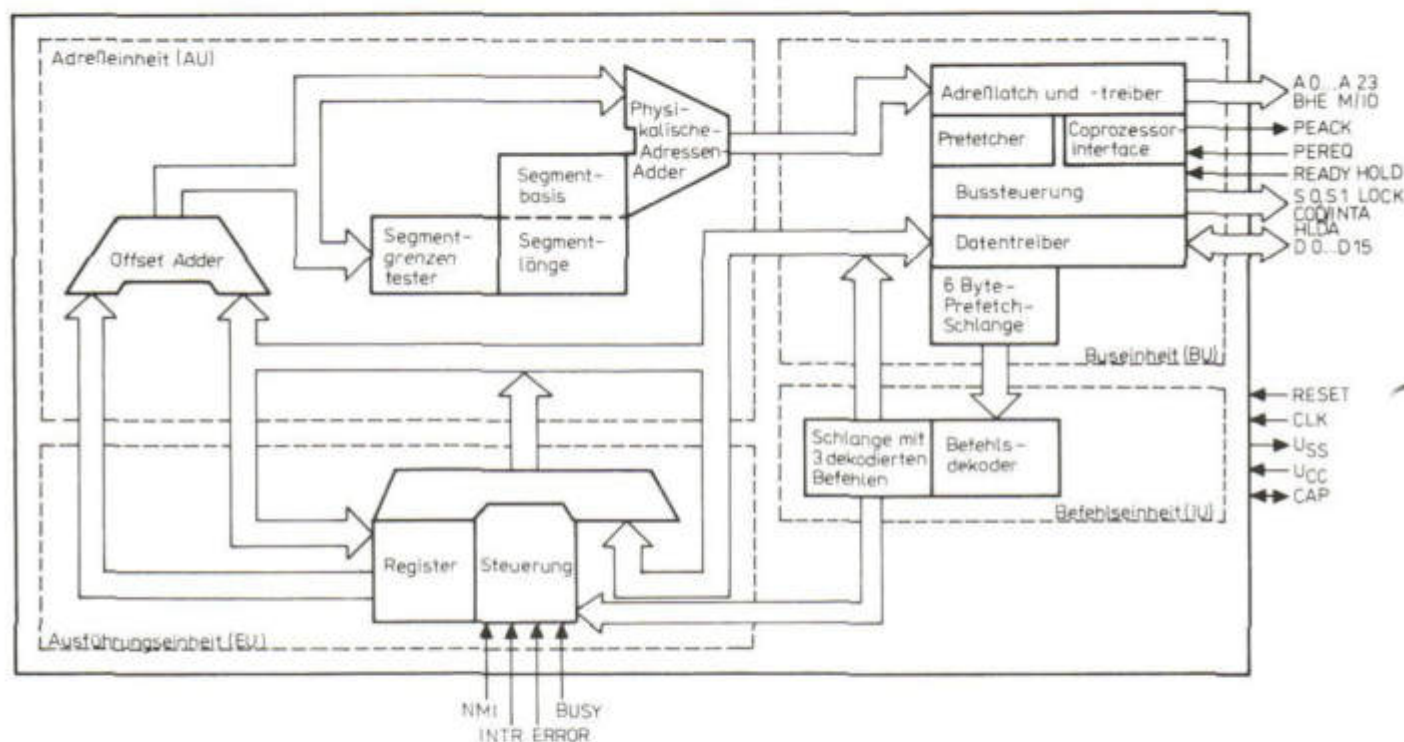


Bild 2: Blockschaftbild U 80601

Der integrierte Schaltkreis U 80606 ist ein Buscontroller für das schnelle 16bit-Mikroprozessorsystem U 80600.

Der Buscontroller stellt den angrenzenden Bussystemen die wichtigsten Befehls- und Steuersignale zur Verfügung und steigert damit die Leistungsfähigkeit der CPU U 80601 erheblich.

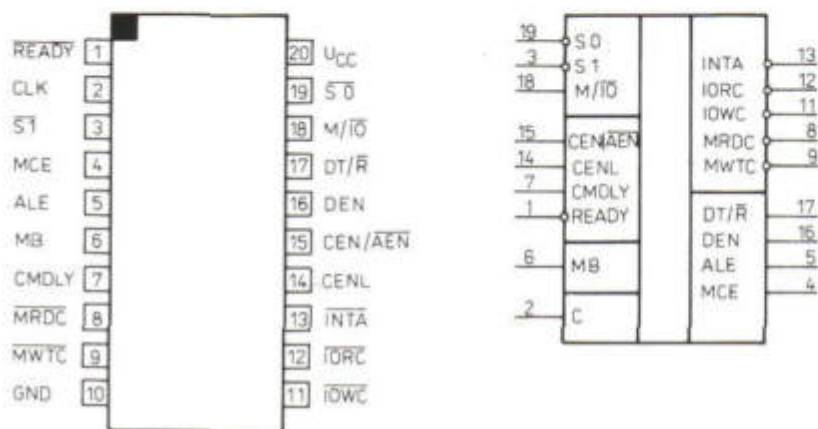


Bild 3: Anschlußbelegung und Schaltzeichen U 80606

Bezeichnung und Beschreibung der Anschlüsse

2	CLK	CLOCK (Systemtakt), Eingang																																																																								
Aus dem Systemtakt wird das gesamte Zeitverhalten des U 80600-Systems abgeleitet. Das Abfragen der Eingänge des U 80606 und ein Wechsel der Pegel an dessen Befehls- und Steuersignalausgängen wird von einer fallenden Taktflanke ausgelöst.																																																																										
3, 19	$\overline{S0}$, $\overline{S1}$	STATUS 0, STATUS 1 (Buszyklus-Statussignale), Eingänge																																																																								
Diese beiden Eingänge bestimmen in Verbindung mit dem M/ $\overline{I0}$ -Eingang den Typ des jeweiligen Buszyklusses. Wenn mit einer fallenden CLK-Flanke entweder an $\overline{S0}$ oder an $\overline{S1}$ L-Pegel erkannt wurde, dann beginnt ein Buszyklus.																																																																										
18	M/ $\overline{I0}$	MEMORY/ $\overline{I0}$ (Speicher/I/O-Auswahl), Eingang																																																																								
Dieses Signal legt fest, ob der aktuelle Buszyklus im Speicherbereich oder im I/O-Bereich abläuft. Bei L-Pegel an M/ $\overline{I0}$ findet der Buszyklus im I/O-Bereich statt.																																																																										
<table><tr><th>M/$\overline{I0}$</th><th>$\overline{S1}$</th><th>$\overline{S0}$</th><th>Buszyklustyp</th><th>aktiver Befehl</th><th>DT/R</th><th>ALE, DEN?</th><th>MCE?</th></tr><tr><td>L</td><td>L</td><td>L</td><td>Interrupt-Acknowledge</td><td>INTA</td><td>L</td><td>ja</td><td>ja</td></tr><tr><td>L</td><td>L</td><td>H</td><td>I/O lesen</td><td>IORC</td><td>L</td><td>ja</td><td>nein</td></tr><tr><td>L</td><td>H</td><td>L</td><td>I/O schreiben</td><td>IOWC</td><td>H</td><td>ja</td><td>nein</td></tr><tr><td>L</td><td>H</td><td>H</td><td>Idle State</td><td>-</td><td>H</td><td>nein</td><td>nein</td></tr><tr><td>H</td><td>L</td><td>L</td><td>HALT/Shutdown</td><td>-</td><td>H</td><td>nein</td><td>nein</td></tr><tr><td>H</td><td>L</td><td>H</td><td>Speicher lesen</td><td>MRDC</td><td>L</td><td>ja</td><td>nein</td></tr><tr><td>H</td><td>H</td><td>L</td><td>Speicher schreiben</td><td>MWTC</td><td>H</td><td>ja</td><td>nein</td></tr><tr><td>H</td><td>H</td><td>H</td><td>Idle State</td><td>-</td><td>H</td><td>nein</td><td>nein</td></tr></table>			M/ $\overline{I0}$	$\overline{S1}$	$\overline{S0}$	Buszyklustyp	aktiver Befehl	DT/R	ALE, DEN?	MCE?	L	L	L	Interrupt-Acknowledge	INTA	L	ja	ja	L	L	H	I/O lesen	IORC	L	ja	nein	L	H	L	I/O schreiben	IOWC	H	ja	nein	L	H	H	Idle State	-	H	nein	nein	H	L	L	HALT/Shutdown	-	H	nein	nein	H	L	H	Speicher lesen	MRDC	L	ja	nein	H	H	L	Speicher schreiben	MWTC	H	ja	nein	H	H	H	Idle State	-	H	nein	nein
M/ $\overline{I0}$	$\overline{S1}$	$\overline{S0}$	Buszyklustyp	aktiver Befehl	DT/R	ALE, DEN?	MCE?																																																																			
L	L	L	Interrupt-Acknowledge	INTA	L	ja	ja																																																																			
L	L	H	I/O lesen	IORC	L	ja	nein																																																																			
L	H	L	I/O schreiben	IOWC	H	ja	nein																																																																			
L	H	H	Idle State	-	H	nein	nein																																																																			
H	L	L	HALT/Shutdown	-	H	nein	nein																																																																			
H	L	H	Speicher lesen	MRDC	L	ja	nein																																																																			
H	H	L	Speicher schreiben	MWTC	H	ja	nein																																																																			
H	H	H	Idle State	-	H	nein	nein																																																																			
6	MB	MULTIBUS MODE (Multibus-Mode-Auswahl), Eingang																																																																								
Mit diesem Eingang wird das Zeitverhalten der Steuer- und Befehlsausgänge gesteuert. Bei H-Pegel arbeitet der Buscontroller mit multibus-kompatiblen Zeitverhalten. Bei L-Pegel optimiert der Buscontroller das Zeitverhalten dieser Ausgänge für kurze Buszyklen.																																																																										
Mit dem MB-Signal wird die Bedeutung des Einganges CEN/ $\overline{AEN}$ festgelegt. Der MB-Eingang wird im allgemeinen fest verdrahtet und nicht dynamisch betrieben.																																																																										

14	CENL	COMMAND ENABLE LATCHED, Eingang Dieses Signal gibt den Buscontroller entsprechend dem aktuellen Buszyklus frei. CENL ist High-aktiv und wird intern am Ende eines jeden Buszyklusses gelatcht. Der Eingang dient der Auswahl des passenden Buscontrollers für jeden Buszyklus, wenn die CPU mehr als einen Bus (d. h. auch mehr als einen Buscontroller) nutzt. CENL wird mit U_{CC} verbunden, wenn der Buscontroller für alle Zyklen verfügbar sein soll.
7	CMDLY	COMMAND DELAY (Befehlsverzögerung), Eingang Dieses Signal verzögert die Signalausgabe an den Befehlsausgängen. Wenn bei der internen Abfrage des CMDLY-Einganges High-Pegel anliegt, wird der Befehlsausgang nicht aktiviert und CMDLY im nächsten Taktzyklus erneut abgefragt. Bei L-Pegel wird der selektierte Befehl freigegeben. Wenn am <u>READY</u>-Eingang vor Aktivierung des Befehlsausganges L-Pegel erkannt wurde, beendet der Buscontroller den Buszyklus auch ohne Ausgabe eines Befehls. CMDLY wird mit GND verbunden, wenn keine Verzögerungen vor der Ausführung eines Befehls nötig sind. Die Steuersignalausgänge werden von CMDLY nicht beeinflusst.
1	<u>READY</u>	READY, Eingang (Low-aktiv) Über diesen Eingang wird mit dem Buscontroller das Ende des aktuellen Buszyklusses signalisiert. Der Multibus-Mode erfordert mindestens einen WAIT-Zustand, um die Befehlsausgänge aktiv werden zu lassen. Während RESET muß <u>READY</u> auf Low-Pegel liegen, um den U 80606 in den Idle State (kein Buszyklus) zu bringen.
15	CEN/ <u>AEN</u>	COMMAND ENABLE/ADDRESS ENABLE, Eingang Hiermit werden die Befehlsausgänge und der DEN-Ausgang des Buscontrollers gesteuert. CEN/<u>AEN</u> kann asynchron zum Takt gesetzt werden. Der Eingang kann mit U_{CC} oder GND verbunden werden. Wenn am MB-Eingang H-Pegel anliegt, gilt die <u>AEN</u>-Funktion. Low-Pegel an <u>AEN</u> zeigt an, daß der CPU der Bus überlassen wurde - der Buscontroller beendet dann den hochohmigen Zustand der Befehlsausgänge und bringt sie in den inaktiven Zustand (High). Bei H-Pegel an <u>AEN</u> hat die CPU keinen Zugriff auf den Bus, die Befehlsausgänge sind hochohmig und DEN wird inaktiv (Low). <u>AEN</u> wird im allgemeinen von einem Bus-Arbitr gesteuert. Bei L-Pegel an MB hat der Eingang CEN-Funktion. CEN ist ein ungelatchter High-aktiver Eingang zur Aktivierung der Befehlsausgänge und des DEN-Ausganges. Bei L-Pegel an MB und an CEN werden die Befehlsausgänge und DEN inaktiv, die Befehlsausgänge werden nicht hochohmig.
5	ALE	ADDRESS LATCH ENABLE, Ausgang Durch die Ansteuerung der Adreßlatches werden die Adressen während eines Buszyklusses stabil gehalten. Während HALT-Buszyklen wird ALE nicht ausgegeben. Von den Steuereingängen wird ALE nicht beeinflusst.
4	MCE	MASTER CASCADE ENABLE, Ausgang Dieser Ausgang zeigt an, daß eine Kaskade-Adresse von einem Master-Interrupt-Controller auf den CPU-Adreßbus gelegt und über ALE-Steuerung in die Adressenlatches übernommen werden soll. Der CPU-Adreßbus kann die Kaskade-Adresse zu den Slave-Interrupt-Controllern senden, so daß einer von ihnen auf den Interrupt-Acknowledge-Zyklus antwortet. MCE ist nur während Interrupt-Acknowledge-Zyklen aktiv (High-Pegel) und wird nicht von den Steuersignaleingängen beeinflusst. Die Nutzung von MCE für die Freigabe der Kaskaden-Adreßtreiber erfordert die Verwendung von Latches, welche die Kaskade-Adresse mit der fallenden Flanke von ALE speichern.

16	DEN	DATA ENABLE, Ausgang Dieser Ausgang gibt die Datenübertragung auf den lokalen Datenbus frei. Im Multibus-Mode wird DEN bei Schreibzyklen verzögert.
17	DT/ $\overline{R}$	DATA TRANSMIT/RECEIVE, Ausgang Dieses Signal bestimmt die Richtung der Datenbewegung. Ein High-Pegel zeigt an, daß gerade ein Schreibzyklus ausgeführt wird, ein L-Pegel signalisiert einen Lesezyklus. Wenn DT/ $\overline{R}$ den Status wechselt, ist DEN inaktiv. Wenn kein Buszyklus läuft, führt DT/ $\overline{R}$ High-Pegel. Von den Steuereingängen wird DT/ $\overline{R}$ nicht beeinflußt.
11	$\overline{TOWC}$	I/O WRITE COMMAND, Ausgang Dieses Signal veranlaßt eine I/O-Baugruppe, Daten vom Datenbus zu lesen. Der Zeitpunkt der Aktivierung dieses Ausganges wird von MB und CMDLY gesteuert. Mit READY wird $\overline{TOWC}$ inaktiv.
12	$\overline{TORC}$	I/O READ COMMAND, Ausgang Dieses Signal veranlaßt eine I/O-Baugruppe, Daten auf den Datenbus zu legen. Der Zeitpunkt der Aktivierung dieses Ausganges wird von MB und CMDLY gesteuert. Mit READY wird $\overline{TORC}$ inaktiv.
9	$\overline{MWTC}$	MEMORY WRITE COMMAND, Ausgang Dieses Signal veranlaßt eine Speicherbaugruppe, Daten vom Datenbus zu lesen. Der Zeitpunkt der Aktivierung dieses Ausganges wird von MB und CMDLY gesteuert. Mit READY wird $\overline{MWTC}$ inaktiv.
8	$\overline{MRDC}$	MEMORY READ COMMAND, Ausgang Dieses Signal veranlaßt eine Speicherbaugruppe, Daten auf den Datenbus zu legen. Der Zeitpunkt der Aktivierung dieses Ausganges wird von MB und CMDLY gesteuert. Mit READY wird $\overline{MRDC}$ inaktiv.
13	$\overline{INTA}$	INTERRUPT ACKNOWLEDGE, Ausgang Dieses Signal teilt einer Interruptanfordernden Baugruppe die Bestätigung dieser Interruptanforderung mit. Der Zeitpunkt der Aktivierung dieses Ausganges wird von MB und CMDLY gesteuert. Mit READY wird $\overline{INTA}$ inaktiv.
20	U_{CC}	Betriebsspannung
10	GND	Bezugspotential

Beschreibung

Der U 80606 wird im U 80600-System zur Erzeugung der Adreßlatch-Steuersignale, zur Steuerung der Datenübertragung und zur Standard-Befehlsausgabe verwendet. Die Befehlsausgaben erfolgen zeitgesteuert und erfüllen alle Forderungen von MMS-16-Bus-(Multibus-)Systemen.

Mittels fester Pinbeschaltung können beim U 80606 zwei Betriebsarten für das jeweilige Buszeitverhalten eingestellt werden, für

- MMS-16-Bus-(Multibus-)kompatible Buszyklen und für
- schnelle lokale Buszyklen.

Der U 80606 verfügt über

- einen Takteingang (U 80601-Systemtakt)
- 8 Status- und Steuereingänge
- 5 Befehlsausgänge und
- 4 Steuerausgänge.

Der U 80606 liefert an den Steuersignalausgängen 16 mA und an den Befehlsausgängen 32 mA Treiberstrom bei Low-Pegel. Für Speicher- und I/O-Baugruppen stehen jeweils getrennte Befehlsausgänge zur Verfügung. Der Datenbus wird von separaten Datenfreigabesignalen und von Signalen zur Festlegung der Übertragungsrichtung gesteuert.

Der U 80606 wird im 20poligen DIL-Plastgehäuse geliefert. Er benötigt eine Betriebsspannung von +5 V.

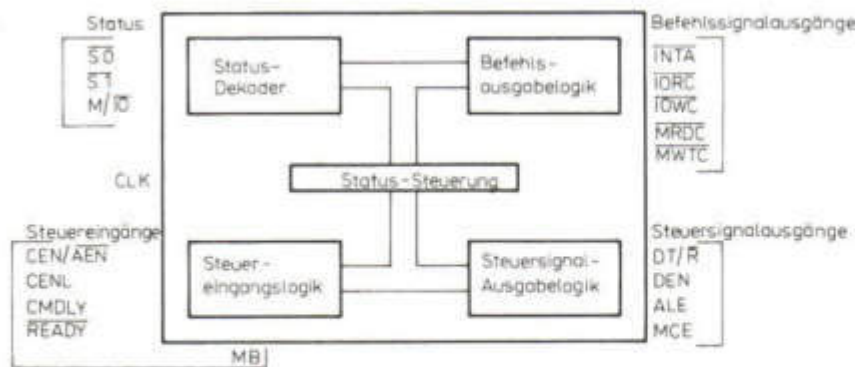


Bild 4: Blockschaltbild U 80606

Schaltkreis für Fehlererkennung und -korrektur

U 80608

Der U 80608 ist ein Schaltkreis zur Fehlererkennung und -korrektur (Error Detection and Correction, EDC), der in einem System, das eine hohe Zuverlässigkeit des Speichers erfordert, einen fehlerkorrigierenden Code erzeugt und im Falle eines Fehlers die entsprechende Korrektur vornimmt.

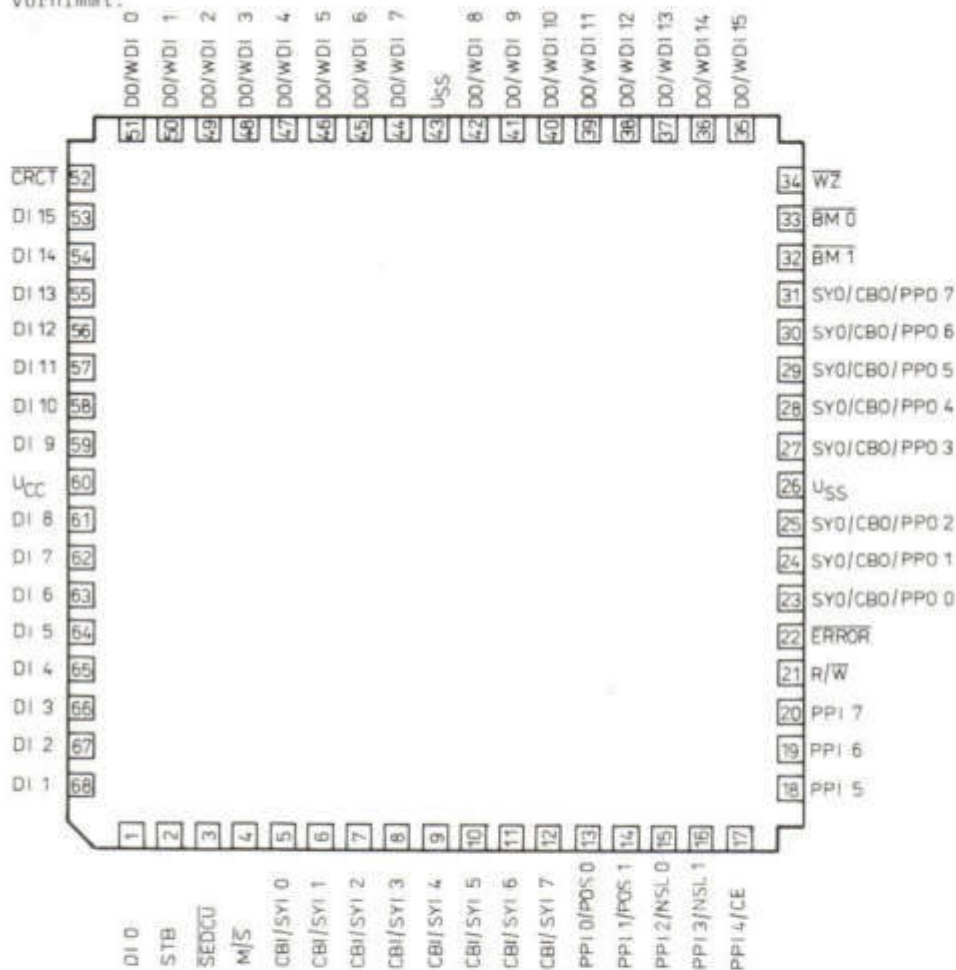


Bild 5: Anschlußbelegung U 806068

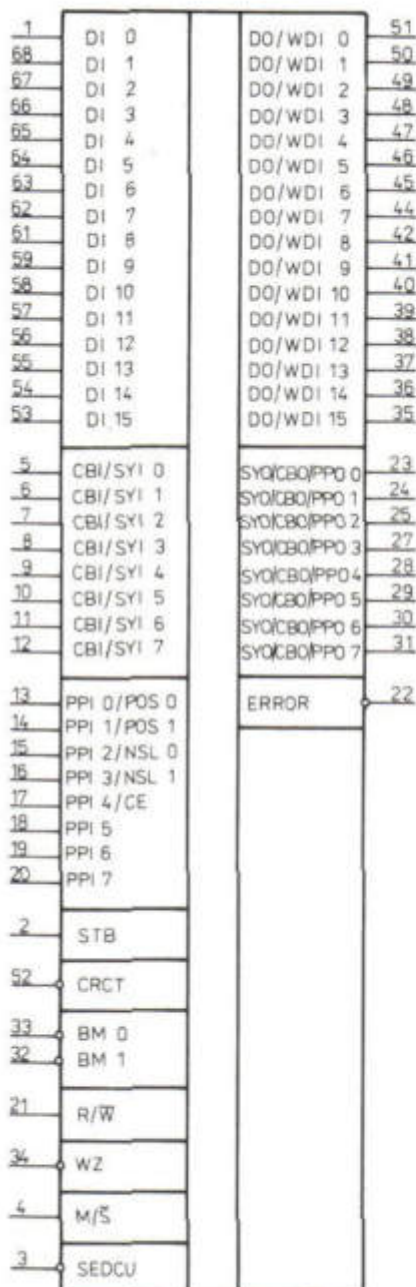


Bild 6: Schaltzeichen U 80608

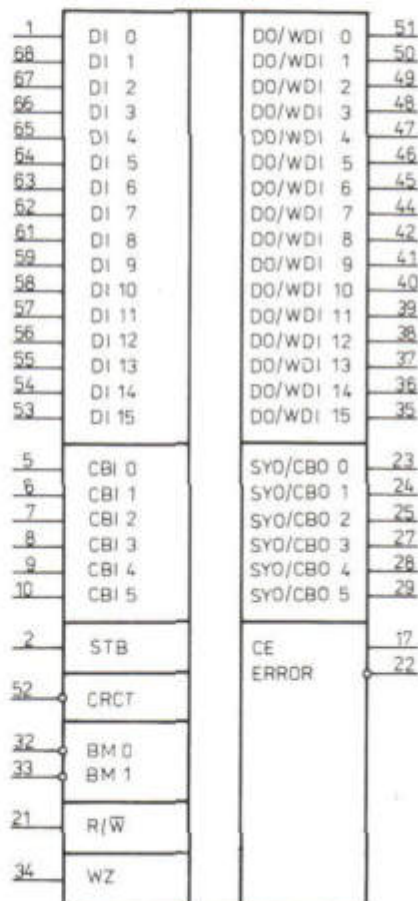


Bild 7: Schaltzeichen U 80608-2

Bezeichnung und Beschreibung der Anschlüsse

1, ... 53 ... 61	DI 0 ... DI 15	DATA IN Eingänge für ein 16bit-Datenwort vom RAM für Fehlererkennung und/oder -korrektur
5 ... 12	CBI/SYI 0 bis CBI/SYI 7	CHECK BITS IN/SYNOROME IN, Eingänge In einem Single-U 80608-System oder für den Master in einem Multi-U 80608-System sind es Eingänge für 5 bis 8 Checkbits vom RAM. In einem Single-16bit-U 80608-System werden CBI 0 bis CBI 5 genutzt. Als Slave empfängt der U 80608 die Syndrombits vom Master.
35 ... 42, ... 44 ... 51	DO/WDI 0 bis DO/WDI 15	DATA OUT/WRITE DATA IN, Ein-/Ausgänge Bei einem Lesezyklus liegen an diesen Ausgängen die korrigierten (CRCT = Low) oder unkorrigierten (CRCT = High) Daten von DI 0

23 ... 31	SYD/CBO/PPD 0 bis SYD/CBO/PPD 7	bis DI 15 an. Die $\overline{BM}$-Eingänge müssen High sein, um die Ausgangstreiber während eines Lesezyklusses zu aktivieren. Beim Schreibzyklus liegen an diesen Eingängen die in den RAM zu schreibenden Daten an, um die zu schreibenden Checkbits zu berechnen. Ist beim Byte-Schreiben $\overline{BM} 0 = \text{High}$, so wird das Byte DO 0 ... DO 7 nicht verändert. Dasselbe trifft für das Byte DO 8 ... DO 15 bei $\overline{BM} 1 = \text{High}$ zu. Ist $\overline{WZ} = \text{Low}$, sind alle Ausgänge DO 0 ... DO 15 Low und die zugehörigen Schreib-Checkbits erscheinen an CBO. SYNDROME OUT/CHECK BITS OUT/PARTIAL PARITY OUT, Ausgänge In einem Single-U 80608-System oder vom Master eines Multi-U 80608-Systems werden beim Lesezyklus die Syndrombits ausgegeben. Beim Schreibzyklus erscheinen die Checkbits. Als Slave liefert der U 80608 die Teilparität, die der Master während des Read-Modify-Write-Zyklusses benutzt. Wenn R/$\overline{W}$ auf Low geht, werden (beim RMW-Zyklus) die Syndrome gespeichert.
13, 14	PPI 0/POS 0 PPI 1/POS 1	PARTIAL PARITY IN/POSITION, Eingänge Der Master in einem Multi-U 80608-System übernimmt an diesen Eingängen die Paritätsbits 0 und 1 von den Slaves. Einem Slave wird hierüber seine Position im System (1 bis 4) mitgeteilt. Im Single-System nicht verwendete Pins, verfügen über interne Pull-up-Widerstände.
15, 16	PPI 2/NSL 0 PPI 3/NSL 1	PARTIAL PARITY IN/NUMBER OF SLAVES, Eingänge Der Master in einem Multi-U 80608-System übernimmt an diesen Eingängen die Paritätsbits 2 und 3 von den Slaves. Dem Slave 1 wird hierüber die Gesamtzahl der Slaves im System (1 bis 4) mitgeteilt. In einem Single-System und bei den anderen Slaves nicht verwendete Pins, verfügen über interne Pull-up-Widerstände.
17	PPI 4/CE	PARTIAL PARITY IN/CORRECTABLE ERROR, Eingang/Ausgang Der Master in einem Multi-U 80608-System übernimmt hierüber das Paritätsbit 4. Beim Slave 1 oder in einem Single-System ist es der Flagausgang für korrigierbare Fehler. CE wird gespeichert, wenn R/$\overline{W}$ Low-Pegel annimmt. Wird bei den Slaves 2 bis 4 nicht verwendet.
18 ... 20	PPI 5 ... PPI 7	PARTIAL PARITY IN, Eingänge Der Master übernimmt an diesen Pins die Paritätsbits 5 - 7 der Slaves. Die Anzahl der Paritätsbits ist gleich der Anzahl der Checkbits. Werden in Slaves und in einem Single-System nicht verwendet.
22	$\overline{ERROR}$	ERROR, Ausgang Gibt in einem Single-System oder beim Master in einem Multi-U 80608-System das $\overline{ERROR}$-Flag aus. Wird bei Slaves nicht verwendet. Wird gespeichert, wenn R/$\overline{W}$ auf Low geht.
52	$\overline{CRCT}$	CORRECT, Eingang Ist dieses Pin Low, wird die Korrektur der Daten während eines Read- oder Read-Modify-Write-Zyklusses durchgeführt. Ist es High, wird die Korrektur ausgeschaltet, die Fehlererkennung ist aktiv.
2	STB	STROBE, Eingang steuert die Speicherung der Daten an DI und der Checkbits an CBI/SYI. Die Daten werden mit der H/L-Flanke übernommen. Ist das Signal = High, werden die Daten an den Eingängen durchgeschaltet.
32, 33	$\overline{BM} 0$, $\overline{BM} 1$	BYTE MARKS, Eingang High-Pegel: DO-Pins sind freigegeben für den Lesezyklus Low-Pegel: DO-Pins sind hochohmig für den Schreibzyklus. $\overline{BM} 0$ steuert DO 0 ... DO 7, $\overline{BM} 1$ steuert DO 8 ... DO 15. Beim

		Byte-Schreiben (8 bit) ist der $\overline{BM}$ -Eingang Low für ein neu zu schreibendes Bytes.
21	$R/\overline{W}$	READ/WRITE, Eingang High-Pegel verlangt vom U 80608 Fehlererkennung und -korrektur, wenn $\overline{CRCT}$ = Low ist. Low-Pegel erlaubt das Generieren der Checkbits. Mit H/L-Flanke werden die Syndrombits intern für den Read-Modify-Write-Zyklus gespeichert.
34	$\overline{WZ}$	WRITE ZERO, Eingang verwendet für Speicherinitialisierung Low-Pegel: Alle Ausgänge D0 0 ... D0 15 sind Low und die entsprechenden Checkbits liegen an CB 0 ... CB 7 an, $\overline{BM}$ 0, $\overline{BM}$ 1 und $R/\overline{W}$ werden ignoriert.
4	$M/\overline{S}$	MASTER/SLAVE, Eingang High-Pegel: Master Low-Pegel: Slave
3	$\overline{SEDCU}$	SINGLE EOC UNIT, Eingang Low-Pegel: einzelner U 80608 High-Pegel: Master im Multi-U 80608-System, nicht verwendet bei Slave
60	U_{CC}	Betriebsspannung +5 V
26	U_{SS}	Masse für Logik
43	U_{SS}	Masse für Ausgänge

Beschreibung

Der U 80608 ist ein sehr schneller Schaltkreis für die Fehlererkennung und -korrektur in statischen und dynamischen Speichersystemen, die hohe Zuverlässigkeit und Leistung erfordern. Jeder U 80608 kann 8 oder 16 Datenbits und bis zu 8 Prüfbits verarbeiten.

Durch Kaskadierung von maximal 5 Schaltkreisen U 80608 können Datenworte bis zu 80 bit Breite verarbeitet werden. Andere Möglichkeiten des U 80608 sind Speicherinitialisierung, Lokalisierung von Speicherfehlern und Byte-Schreiben (8 bit).

Der U 80608 ist durch folgende Eigenschaften gekennzeichnet:

- erkennt und korrigiert alle 1bit-Fehler
- erkennt alle 2bit- und manche Mehr-bit-Fehler
- benötigt max. 52 ns für Fehlererkennung und max. 67 ns für Fehlerkorrektur (16bit-System)
- besitzt Syndromausgänge für Fehlerlokalisierung
- getrennter Ein-/Ausgabebus, kein Systemtakt erforderlich
- U 80608-2 ist nicht kaskadierbar, sein Timing entspricht den Erfordernissen von 16bit-CPUs
- ermöglicht folgende Speicherzugriffsarten:
 - * Speicherlesen mit/ohne Fehlerkorrektur (Read)
 - * Speicherschreiben (Write)
 - * Byte-Schreiben(8 bit)/(Partial Write)
 - * Lesen - Ändern - Schreiben (Read - Modify - Write)
- +5 V Versorgungsspannung

Bei bisherigen Mikroprozessorsystemen (Systeme U 800, U 8000, K 1810 WM 86) wurde max. mit ein bis zwei Paritätsbits gearbeitet (erlaubte nur die Fehlererkennung, aber keine Fehlerkorrektur) oder es wurden gar keine Maßnahmen gegen Speicherfehler unternommen.

In den Blockschaltbildern werden die wesentlichen Funktionsgruppen des U 80608 und des U 80608-2 und deren Zusammenspiel dargestellt. Die Dateneingangslatches speichern beim H/L-Übergang des $\overline{STB}$ -Signals in 16 taktzustandsgesteuerten Flip-Flops die Information der Eingänge DI 0 ... DI 15. Gleichzeitig werden die Eingangssignale LOI 0 ... LOI 15 für den Teilparitätsgenerator Lesen bereitgestellt. Die Eingangsinformationen DI 0 ... DI 15 werden durch

zwei Inverter flankengeformt und über RDI 0 ... RDI 15 der Datenkorrektur zugeführt.

Der Teilparitätsgenerator Lesen besteht aus 18 Paritätscodern, die alle Möglichkeiten der Verknüpfung der Eingangssignale DI 0 ... DI 15 bereitstellen. Mit den Signalen PS 0/1 und M/S werden aus diesem Block 8 Paritätsdecoder selektiert, mit denen je nach Betriebsart (Master, Slave 1, Slave 2, Slave 3, Slave 4) die Checkbits RCB 0 ... RCB 7 berechnet werden.

Das Checkbit-Latch ist funktionell identisch mit dem Dateneingangslatch, nur werden die Checkbits CBI 0 ... CBI 7 aus dem Checkbit-Speicher übernommen.

Im Teilparitätsgenerator Checkbit-Syndrom werden die aus dem Datenwort DI 0 ... DI 15 generierten Checkbits RCB 0 ... RCB 15 mit den Informationen des Checkbit-Speichers LRCBI 0 bis LRCBI 7 verglichen. Im Ergebnis des Vergleiches entsteht ein Syndrom (Fehlerwort), welches Informationen über die aufgetretene Fehlerart und das fehlerhafte Bit enthält. Bei einem Lesezyklus wird das Syndrom an den Ausgängen CBO/SYD zur weiteren Verwendung durch das System (z. B. Fehlerlokalisierung im Speichersystem) bereitgestellt. Wird der Lesezyklus in einem Read-Modify-Write-Zyklus fortgesetzt, dann wird das Syndrom im Syndromlatch zwischengespeichert. Ist das Syndrom 00H, liegt kein Fehler vor.

Dieser Umstand wird im Syndromdekodeur und der Fehlererkennung genutzt, in dem alle Bits des Syndroms NOR-verknüpft werden und das Ergebnis negiert und als ERROR-Flag ausgegeben wird. Das Syndrom wird dem Dekoder zugeführt und die Ausgangssignale EB 0 ... EB 15 repräsentieren das fehlerhafte Bit, das von der Datenkorrektur zur Fehlerkorrektur genutzt wird. Außerdem stellt dieser Block das CE-Flag bereit.

In der Datenkorrektur wird bei aktivem CRCT-Signal das fehlerhafte Bit, lokalisiert durch EB x, negiert und anschließend das Datenwort an die Ausgänge DO 0 ... DO 15 weitergegeben.

Mit den Signalen BM 0 und BM 1 werden die Ausgangstreiber aktiviert. Desweiteren werden bei aktivem WZ alle DO auf 0 gesetzt und die entsprechenden Checkbits erzeugt (Speicherinitialisierung).

Bei einem Schreibzyklus werden die Schreibdaten über die Pins WDI 0 ... WDI 15 dem Teilparitätsgenerator Schreiben zugeführt, der funktionell mit dem Teilparitätsgenerator Lesen identisch ist, um die Checkbits WCB 0 ... WCB 7 zu erzeugen. Diese Checkbits werden je nach Betriebsart des Schaltkreises, gegebenenfalls noch mit den Informationen an den Pins PPI 0 bis PPI 7 verknüpft. Im Resultat entstehen die Checkbits des Datenwortes, die über die Ausgänge CBO 0 ... CBO 7 in den Checkbitspeicher geschrieben werden.

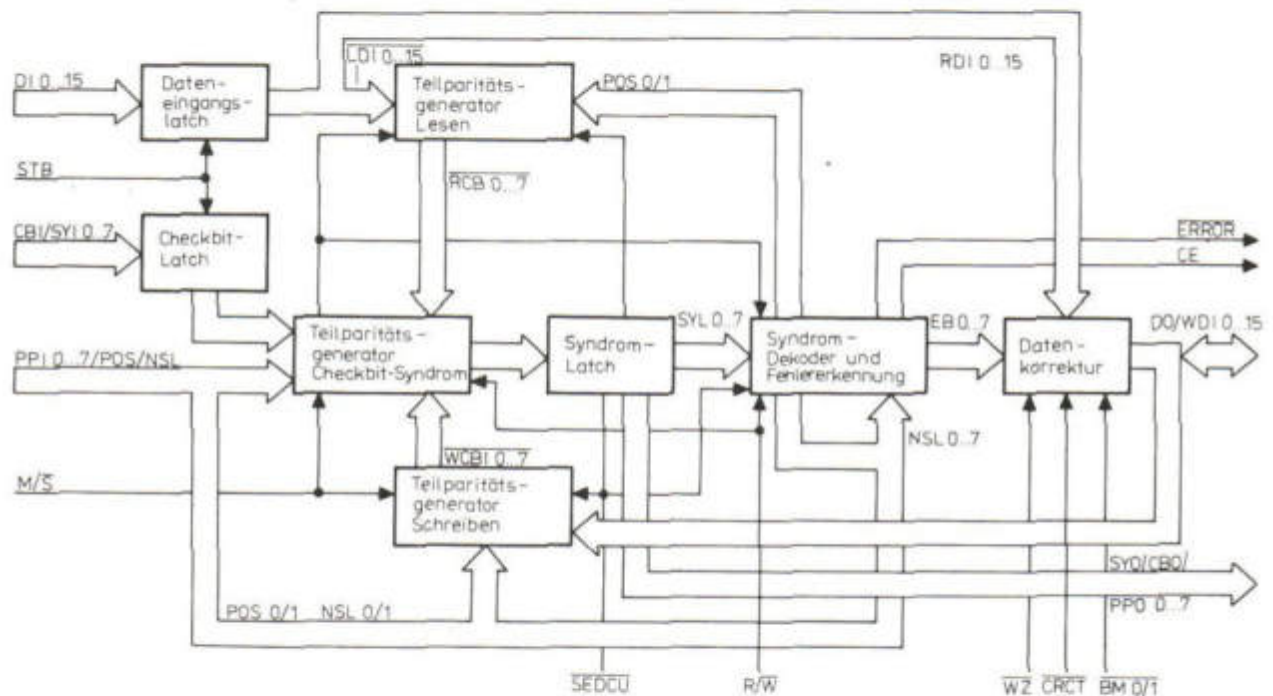


Bild 8: Blockschaltbild U 80608

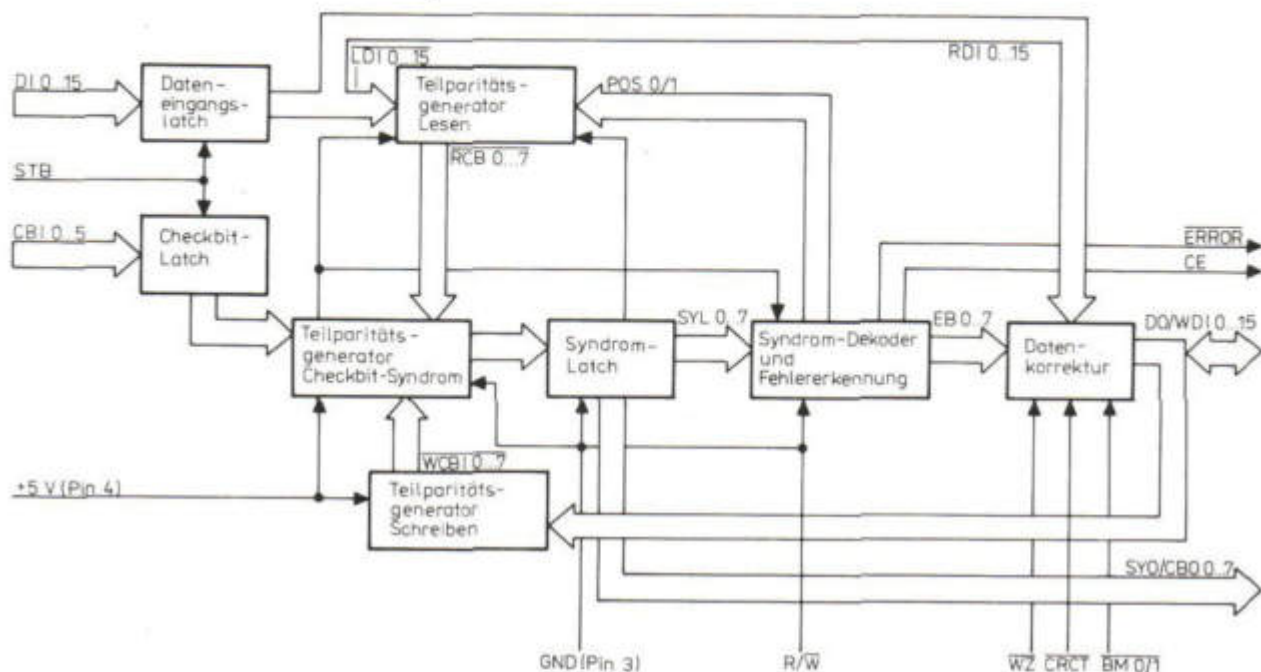
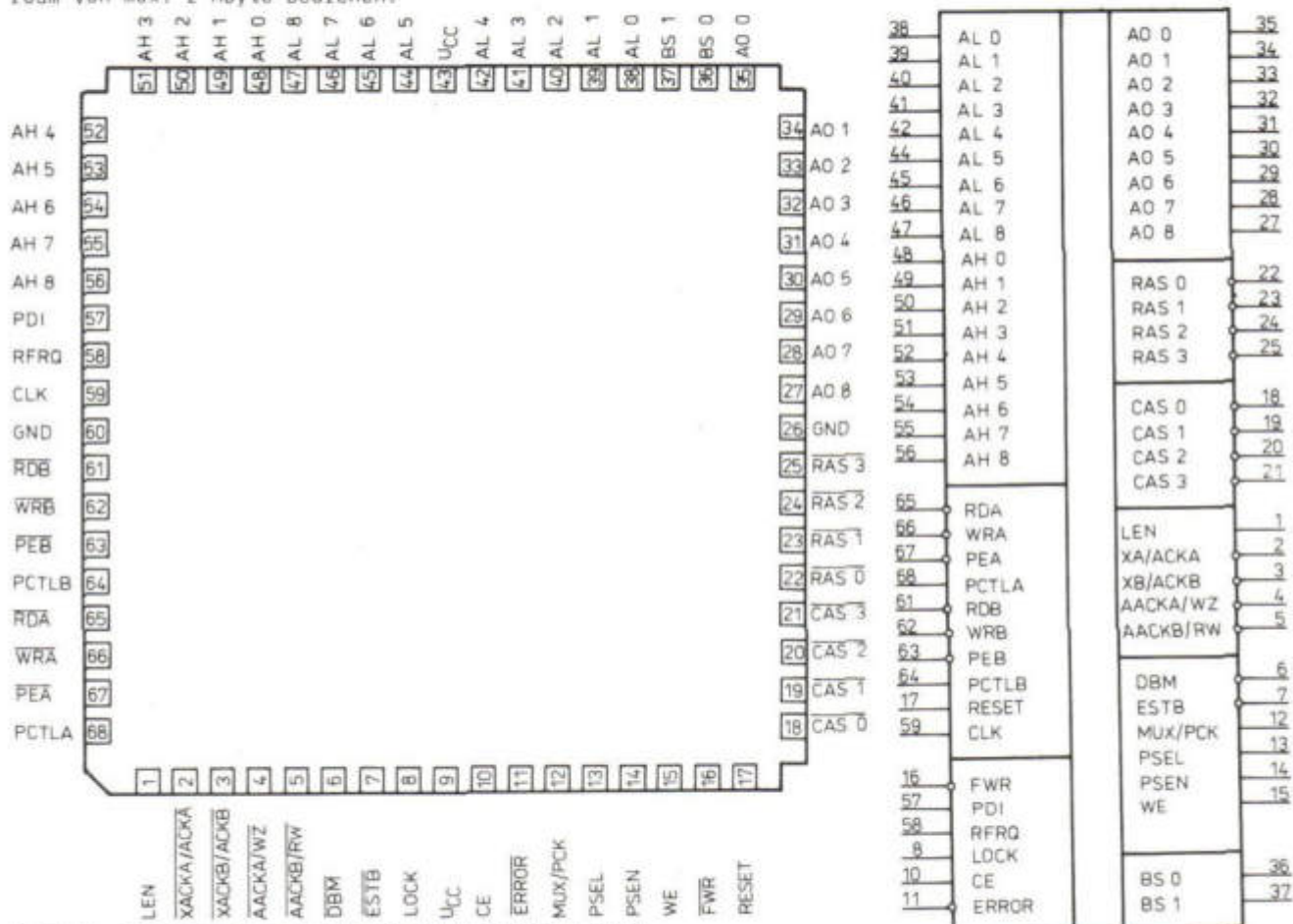


Bild 9: Blockschaltbild U 80608-2

DRAM-Controller

U 80610

Der U 80610 ist ein programmierbarer DRAM-Controller für die Ansteuerung dynamischer Speicherschaltkreise. Er unterstützt den Anschluß von 16-, 64- und 256 kbit DRAMs und kann einen Adreßraum von max. 2 MByte bedienen.



Bezeichnung und Beschreibung der Anschlüsse

- 1 LEN LATCH ENABLE, Ausgang
In Dual-Port-Konfigurationen, bei denen Port A ein 80286-Status-Interface bedient, ersetzt dieser Ausgang das ALE-Signal vom Buscontroller des Port A und generiert ein Freigabesignal für die externen Adreßlatches mit optimaler Aufstell- und Haltezeit für den U 80610. Dieses Signal wird nur im Kommando-Mode gesendet.
- 2 XACKA/ACKA TRANSFER ACKNOWLEDGE PORT A / ACKNOWLEDGE PORT A, Ausgang
Im NEC-Mode wird an diesem Pin das Signal XACKA ausgegeben. Es signalisiert für Port A, daß die Daten auf dem Bus während eines Lesezyklusses gültig sind oder daß die Daten für einen Schreibzyklus auf dem Bus nicht länger benötigt werden. XACKA ist ein multibuskompatibles Signal.
Im ECC-Mode wird an diesem Pin (ACKA) in Abhängigkeit vom Programmbit XA das Quittungssignal XACKA oder AACKA ausgegeben. Das Programmbit SA legt dabei fest, ob AACKA als ein zeitlich früheres EAACKA oder späteres LAACKA generiert wird.
- 3 XACKB/ACKB TRANSFER ACKNOWLEDGE PORT B / ACKNOWLEDGE PORT B, Ausgang
Im NEC-Mode wird an diesem Pin das Signal XACKB ausgegeben. Es signalisiert für Port B, daß die Daten auf dem Bus während eines Lesezyklusses gültig sind oder daß die Daten für einen Schreibzyklus auf dem Bus nicht länger benötigt werden. XACKB ist ein multibuskompatibles Signal.
Im ECC-Mode wird an diesem Pin (ACKB) in Abhängigkeit vom Programmbit XB das Quittungssignal XACKB oder AACKB ausgegeben. Das Programmbit SB legt dabei fest, ob AACKB als ein zeitlich früheres EAACKB oder späteres LAACKB generiert wird.
- 4 AACKA/WZ ADVANCED ACKNOWLEDGE PORT A / WRITE ZERO, Ausgang
Im NEC-Mode wird an diesem Pin das Signal AACKA ausgegeben. Es zeigt für Port A an, daß der Prozessor seinen Programmablauf fortsetzen kann und daß die Daten bereitstehen, wenn sie benötigt werden. Dieses Signal wird durch das Programmbit SA für den synchronen oder asynchronen Betrieb optimiert.
Im ECC-Mode veranlaßt das Signal WZ nach einem RESET eine angeschlossene EDCU U 80608, alle Daten mit Null auszugeben und die zugehörigen Testbits zu generieren.
- 5 AACKB/RW ADVANCED ACKNOWLEDGE PORT B / READ/WRITE, Ausgang
Im NEC-Mode wird an diesem Pin das Signal AACKB ausgegeben. Es zeigt für Port B an, daß der Prozessor seinen Programmablauf fortsetzen kann und daß die Daten bereitstehen, wenn sie benötigt werden. Dieses Signal wird durch das Programmbit SB für den synchronen oder asynchronen Betrieb optimiert.
Im ECC-Mode veranlaßt das Signal RW eine angeschlossene EDCU U 80608, die Syndrome und Fehlerflags abzuspeichern und die Testbits zu generieren.
- 6 DBM DISABLE BYTE-MARKS, Ausgang
Dieses ECC-Steuersignal zeigt an, daß ein Lese- oder Refreshzyklus ausgeführt wird. Es veranlaßt die Byte-Mark-Dekodierungslogik, alle Datenausgangstreiber des U 80608 freizugeben. Im ECC-Mode wird dieses Signal auch während der Speicherinitialisierung und des 8-Zyklus-"Warn-up" für die dynamischen RAMs aktiv.
- 7 ESTB ERROR STROBE, Ausgang
Im ECC-Mode wird dieses Signal aktiviert, wenn ein Fehler festgestellt wurde. Es ermöglicht eine Zwischenspeicherung der EDCU-Fehlerflags in einem negativ flankengetriggerten Flip-Flop zur weiteren Verwendung in Systemen mit erweiterter Fehlerbehandlung. ESTB wird nicht bei Refresh-Zyklen aktiviert.

8	LOCK	LOCK, Eingang Dieser Eingang veranlaßt den U 80610, den Zugriff auf den bei Aktivierung von LOCK nicht angewählten Port zu blockieren.
9	U _{DD}	DRIVER POWER, Eingang Betriebsspannung (+5 V) zur Versorgung der Ausgangstreiber
43	U _{DD}	LOGIC POWER, Eingang Betriebsspannung (+5 V) zur Versorgung der internen Logik
10	CE	CORRECTABLE ERROR, Eingang Dieses ECC-Eingangssignal signalisiert dem U 80610 mit High-Pegel, daß ein festgestellter Fehler korrigierbar ist. Low-Pegel verhindert intern die Aktivierung von WE, so daß unkorrigierbare Daten nicht in den RAM zurückgeschrieben werden. Dieses Pin ist mit dem Ausgang CE einer EDCU U 80608 zu verbinden.
11	ERROR	ERROR, Eingang Dieses ECC-Eingangssignal signalisiert dem U 80610, daß ein Fehler festgestellt wurde. Dieses Pin ist mit dem ERROR-Ausgang einer EDCU U 80608 zu verbinden.
12	MUX/PCLK	MULTIPLEXER CONTROL / PROGRAMMING CLOCK, Ausgang Unmittelbar nach einem RESET wird dieses Ausgangssignal benutzt, um ein externes Schieberegister zum Einlesen der Programmierdaten in den PDI-Eingang zu takten. In normalen Dual-Port-Konfigurationen wird dieses Pin zur Auswahl der Speicheradresse des entsprechenden Ports verwendet. Bei High-Pegel am Ausgang ist Port A, bei Low-Pegel Port B angewählt. Dieses Signal kann seinen Zustand bereits vor dem Ende eines laufenden RAM-Zyklus ändern, die Adreß-Haltzeit wird jedoch eingehalten.
13	PSEL	PORT SELECT, Ausgang Dieses Signal wird zur Auswahl des entsprechenden Ports für den Daten-Transfer verwendet. Bei High-Pegel am Ausgang ist Port A angewählt, bei Low-Pegel Port B.
14	PSEN	PORT SELECT ENABLE, Ausgang Dieses Signal gewährleistet in Verbindung mit PSEL einen konfliktfreien Portwechsel auf dem Datenbus. Low-Pegel an diesem Pin erlaubt eine Zustandsänderung in der Portanwahl.
15	WE	WRITE ENABLE, Ausgang Dieser Ausgang liefert das Schreibfreigabesignal für das dRAM-Array bei Schreiboperationen.
16	FWR	FULL WRITE, Eingang Dieses Eingangssignal signalisiert dem U 80610 in einer ECC-Konfiguration, ob der aktuelle Schreibzyklus ein normaler RAM-Schreibzyklus (Full Write) oder ein partieller Byte-Schreibzyklus (Read Modify Write) ist.
17	RESET	RESET, Eingang Dieses Signal setzt alle internen Zähler und Zustands-Flip-Flops zurück. Nach der Rücknahme von RESET werden die am PDI-Pin anliegenden Daten durch PCLK getaktet eingelesen. Die Zustände an den Pins PDI, PCTLA, PCTLB und RFRQ werden mit der fallenden Flanke von RESET zur Programmierung des U 80610 abgetastet. Nach dem Eintakten aller Programmbits wird ein 8-Zyklen-"Warn-up" für die dynamischen RAMs durchgeführt.
18	CAS 0	COLUMN ADDRESS STROBES, Ausgänge
bis	bis	Diese Signale steuern die Übernahme der Spaltenadresse durch die dynamischen RAMs, die an den Pins A0 0 ... A0 8 bereitgestellt wird. Die Auswahl der CAS-Ausgänge erfolgt über die Pins B5 0 und B5 1 entsprechend der Programmbits RB 0 und RB 1. Diese Ausgänge können die CAS-Eingänge des dRAM-Arrays direkt ansteuern. Externe Treiberschaltungen sind nicht notwendig.
21	CAS 3	

22	$\overline{\text{RAS}}_0$	ROW ADDRESS STROBES, Ausgänge
bis	bis	Diese Signale steuern die Übernahme der Zeilenadresse durch die dynamischen RAMs, die an den Pins AD 0 ... AD 8 bereitgestellt wird.
25	$\overline{\text{RAS}}_1$	Die Auswahl der $\overline{\text{RAS}}$ -Ausgänge erfolgt über die Pins BS 0 und BS 1 entsprechend der Programmbits RB 0 und RB 1. Diese Ausgänge können die $\overline{\text{RAS}}$ -Eingänge des dRAM-Arrays direkt ansteuern. Externe Treiberschaltungen sind nicht notwendig.
26	GND	DRIVER GROUND, Eingang
		Bezugspotential für die Ausgangstreiber
60	GND	LOGIC GROUND, Eingang
		Bezugspotential für die interne Logik
35	AD 0	ADDRESS OUTPUTS, Ausgänge
bis	bis	Diese Ausgänge liefern die Zeilen- und Spaltenadresse des angewählten Ports zu den Adresseingängen des dRAM-Arrays. Interne Treiberstufen ermöglichen dabei eine direkte Ansteuerung der dRAMs.
27	AD 8	
36	BS 0	BANK SELECT, Eingänge
37	BS 1	Diese Eingänge dienen der Bankauswahl im dRAM-Array entsprechend der Programmierung mit RB 0 und RB 1.
38	AL 0	ADDRESS LOW, Eingänge
bis	bis	Der an diesen Eingängen eingelesene niederwertige Adreßteil wird im internen Adreßmultiplexer zur Bildung der dRAM-Zeilenadresse verwendet.
47	AL 8	
48	AH 0	ADDRESS HIGH, Eingänge
bis	bis	Der an diesen Eingängen eingelesene höherwertige Adreßteil wird im internen Adreßmultiplexer zur Bildung der dRAM-Spaltenadresse verwendet.
56	AH 8	
57	PDI	PROGRAM DATA INPUT, Eingang
		Dieser Eingang dient der Programmierung des U 80610 in einer der zahlreichen nutzerabhängigen Betriebsarten. Der PCLK-Takt schiebt die Programmierdaten seriell aus einem wahlweise vorhandenen externen Schieberegister in den PDI-Eingang des U 80610. Zur Einstellung einer Standard-NEC- (PDI = 0) bzw. Standard-ECC-Konfiguration (PDI = 1) kann dieses Pin auch auf einen festen logischen Pegel gelegt werden.
58	RFRQ	RFRQ, Eingang
		Dieser Eingang wird mit der fallenden Flanke von RESET abgetastet. Liegt hier High-Pegel an, dann wird der U 80610 für eine interne Refreshüberwachung oder für externe Refreshanforderungen mit Ausfallüberwachung programmiert. Bei anliegendem Low-Pegel erfolgt eine Programmierung für externe Refreshanforderungen ohne Ausfallüberwachung oder für Burst-Refresh. Nach der Programmierung erfolgt über dieses Pin die externe Anforderung von Refreshzyklen.
59	CLK	CLOCK, Eingang
		Dieser Eingang liefert den Haupttakt für die synchrone Ablaufsteuerung der internen Logik.
61	$\overline{\text{RDB}}$	READ FOR PORT B, Eingang
		Dieses Pin ist der Lesekommandoeingang für alle Speicheranforderungen vom Port B. Er kann auch direkt mit der Statusleitung S 1 der Prozessoren K 1810 WM 86/U 80601 verbunden werden.
62	$\overline{\text{WRB}}$	WRITE FOR PORT B, Eingang
		Dieses Pin ist der Schreibkommandoeingang für alle Speicheranforderungen vom Port B. Er kann auch direkt mit der Statusleitung S 0 der Prozessoren K 1810 WM 86/U 80601 verbunden werden.
63	$\overline{\text{PEB}}$	PORT ENABLE FOR PORT B, Eingang
		Dieser Eingang dient der Freigabe einer Speicherzyklusanforderung vom Port B. Das Freigabesignal wird im allgemeinen aus der Portadresse dekodiert.
64	PCTLB	PORT CONTROL FOR PORT B, Eingang
		Dieser Eingang wird für die Konfigurierung von Port B mit der fallenden Flanke von RESET abgetastet.

Liegt hier Low-Pegel an, erfolgt eine Programmierung im Kommando-Mode. Die Auslösung von Speicherzyklen erfolgt dabei über die Kommandoausgänge eines Buscontrollers, durch U 80601-Statussignale oder über Multibuskommandos. Bei anliegendem High-Pegel erfolgt eine Programmierung im Status-Mode für die direkte Übernahme von K 1810 WM 86-Statussignalen. In diesem Fall sollte das Pin mit der Statusleitung S 2 des Prozessors verbunden werden. Im Kommando-Mode kann das PCTLB-Pin wahlweise durch das multibuskompatible INHIBIT-Signal angesteuert werden oder es ist fest auf Bezugspotential zu legen.

- | | | |
|----|--------------|---|
| 65 | <u>RDA</u> | <p>READ FOR PORT A, Eingang</p> <p>Dieses Pin ist der Lesekommandoeingang für alle Speicheranforderungen vom Port A. Er kann auch direkt mit der Statusleitung S 1 der Prozessoren K 1810 WM 86/U 80601 verbunden werden.</p> |
| 66 | <u>WRA</u> | <p>WRITE FOR PORT A, Eingang</p> <p>Dieses Pin ist der Schreibkommandoeingang für alle Speicheranforderungen vom Port A. Er kann auch direkt mit der Statusleitung S 0 der Prozessoren K 1810 WM 86/U 80601 verbunden werden.</p> |
| 67 | <u>PEA</u> | <p>PORT ENABLE FOR PORT A, Eingang</p> <p>Dieser Eingang dient der Freigabe einer Speicherzyklusanforderung von Port A. Das Freigabesignal wird im allgemeinen aus der Portadresse dekodiert.</p> |
| 68 | <u>PCTLA</u> | <p>PORT CONTROL FOR PORT A, Eingang</p> <p>Dieser Eingang wird für die Konfigurierung von Port A mit der fallenden Flanke von RESET abgetastet. Liegt hier Low-Pegel an, erfolgt eine Programmierung im Kommando-Mode. Die Auslösung von Speicherzyklen erfolgt dabei über die Kommandoausgänge eines Buscontrollers, durch U 80601-Statussignale oder über Multibuskommandos. Bei anliegendem High-Pegel erfolgt eine Programmierung im Status-Mode für die direkte Übernahme von Statussignalen. In diesem Fall sollte das Pin mit der Statusleitung S 2 des Prozessors verbunden werden. Im Kommando-Mode kann das PCTLA-Pin wahlweise durch das multibuskompatible INHIBIT-Signal angesteuert werden oder es ist fest auf Bezugspotential zu legen.</p> |

Beschreibung

Der U 80610 ist ein leistungsfähiger, systemorientierter Ansteuerschaltkreis für dRAMs bis zu einer Kapazität von 256 kbit. Er enthält die erforderliche Schaltung zur Gewährleistung eines konfliktfreien Zugriffs auf den Speicher. Ein Dual-Port-Interface ermöglicht dabei zwei getrennten Bussystemen den unabhängigen Zugriff auf die Daten im kontrollierten Adreßraum. Der DRC unterstützt ein unterschiedliches Verhalten im Mikroprozessor-Interface, er ist jedoch besonders für eine Ansteuerung durch K 1810 WM 86- oder U 80601-kompatible Prozessoren optimiert. Bei einem gemeinsamen Einsatz mit dem EDCU-Schaltkreis U 80608 wird der DRC im Korrektur-Mode (ECC) programmiert. Er liefert dann alle notwendigen Ansteuersignale zur Durchführung einer Speicherinitialisierung und transparenten Fehlerkorrektur. Der U 80610 trägt in solchen Applikationen zu einem einfachen Aufbau großer fehlerkontrollierter Speicher bei.

Eigenschaften des U 80610:

- liefert alle zur Ansteuerung von 16 k, 64 k und 256 k dynamischen RAMs notwendigen Signale
- bedient ohne externe Treiberstufen direkt einen Adreßraum bis zu 2 MByte
- "Warn-up" zur Speichervorbereitung in allen Betriebsarten
- 5 programmierbare Refreshbetriebsarten
- unterstützt Einzel- und Dual-Port-Konfigurationen
- realisiert auf jedem Port synchronen oder asynchronen Betrieb
- anpaßbar an verschiedene Mikroprozessor-Interface-Bedingungen
- automatische RAM-Initialisierung und transparente Fehlerkorrektur im ECC-Mode

Initialisierungssteuerung

Nach jedem Rücksetzen übernimmt dieser Block die vollständige Überwachung der Programmierphase, des anschließenden "Warn-up" und der Speicherinitialisierung im ECC-Mode.

Programmschieberegister und Konfigurationsdekoder

In das 16bit-Schieberegister erfolgt das serielle Einladen der Programmierdaten vom POI-Pin. Die dann parallel bereitstehenden Programmbits werden, teilweise den Basiszyklen des U 80610 entsprechend logisch verknüpft, auf einem internen Konfigurationsbus zur Steuerung der weiteren Blöcke bereitgestellt.

Mikroprozessor-Interface für Port A und Port B

Beide Interface-Blöcke sind identisch aufgebaut. Ihre Konfiguration im Status- oder Kommando-Mode erfolgt durch Abtastung der Pegel an den PCTL-Pins mit der fallenden Flanke von RESET. In Abhängigkeit von der Programmierung erfolgt hier auch die Synchronisation asynchroner Speicheranforderungen. Neben den direkten Anforderungssignalen im DRQ (direct request)-Bus, die zur Zyklusauslösung bei bereits angewähltem Port verwendet werden, speichert ein spezielles Register die Anforderungen, falls der Zyklus nicht sofort ausgeführt werden kann. Die Signale des QRQ (queued request)-Bus bilden so eine Warteschlange für abzuarbeitende Speicherzyklen. Diese werden erst durch einen Zyklusstart auf dem zugeordneten Port oder im Kommando-Mode durch ein INHIBIT gelöscht.

Refreshinterface und Refresh timer

Die Konfiguration des Refreshinterface erfolgt durch Abtastung des RFRQ-Pins mit der fallenden Flanke von RESET. Je nach Programmierung wird dabei der interne Refresh timer aktiviert oder bleibt für das Auffrischen der Speicher ungenutzt. Der als programmierbarer Teiler ausgelegte Refresh timer übernimmt die Steuerung der "Warn-up"-Phase und in den Betriebsarten mit intern generiertem Refresh die Anforderung der Zyklen zum Auffrischen der dynamischen Speicher. Dabei wird die Betriebsfrequenz des DRC und die programmierte Refreshperiode berücksichtigt.

Arbiter und Kommandomultiplexer

Um Zugriffsprobleme auf den Speicher bei gleichzeitiger Zyklusanforderung von mehreren Ports zu lösen, schaltet der Kommandomultiplexer nur die Steuer- und Interfacesignale des angewählten Ports auf die Logik zur Zyklussteuerung. Die Zugriffsverwaltung berücksichtigt die Zugriffe auf allen drei Ports. Der interne Refreshport wird dabei wie die Prozessorports behandelt, er hat jedoch stets eine höhere Priorität als ein unangewählter externer Zugriffsport. Dadurch kann sich ein angeforderter Refreshzyklus max. um einen RAM-Zyklus im Start verzögern. Während ein Speicherzyklus abgearbeitet wird, erkennt der Arbiter bereits weitere Anforderungen.

Zeitablaufsteuerung

In diesem Block erfolgt die Steuerung des zeitlichen Ablaufs der angeforderten und vom Arbiter freigegebenen Speicherzyklen entsprechend der Programmierung. In Abhängigkeit von der Zyklusart werden mit hoher zeitlicher Konstanz die Impulse zur Adreßumschaltung und zur Generierung der Signale im Speicher-, Mikroprozessor- und ECC-Interface bereitgestellt. Die Synchronisation der Logik erfolgt dabei ausschließlich durch den Systemtakt am Pin CLK.

Adreßsteuerung

In Single-Port-Applikationen wird bei prozessorgenerierten Speicherzyklen die CPU-Adresse intern zwischengespeichert. Die für die Refreshzyklen notwendige Speicheradresse liefert der Refresh Address Counter. Die jeweils gültige Adresse wird durch einen Multiplexer auf den internen Adreßbus geschaltet, wobei die 2bit-Bankadresse zur Kodierung der RAS- und CAS-Generatoren verwendet wird. Ein weiterer Multiplexer gibt zur Adressierung der Speicher den niederwertigen Adreßanteil als Zeilenadresse und den zwischengespeicherten höherwertigen Adreßteil als Spaltenadresse an die Adreßausgänge aus.

Ausgangsgeneratoren

Hier erfolgt in Abhängigkeit vom programmierten Basiszyklus die Bereitstellung der Ausgangssignale des DRC, so zur Ansteuerung des dynamischen Speicherarrays, zur Überwachung von Adreß- und Datenbus, zur Kommunikation mit der EDCU U 80608 sowie der Quittungssignale.

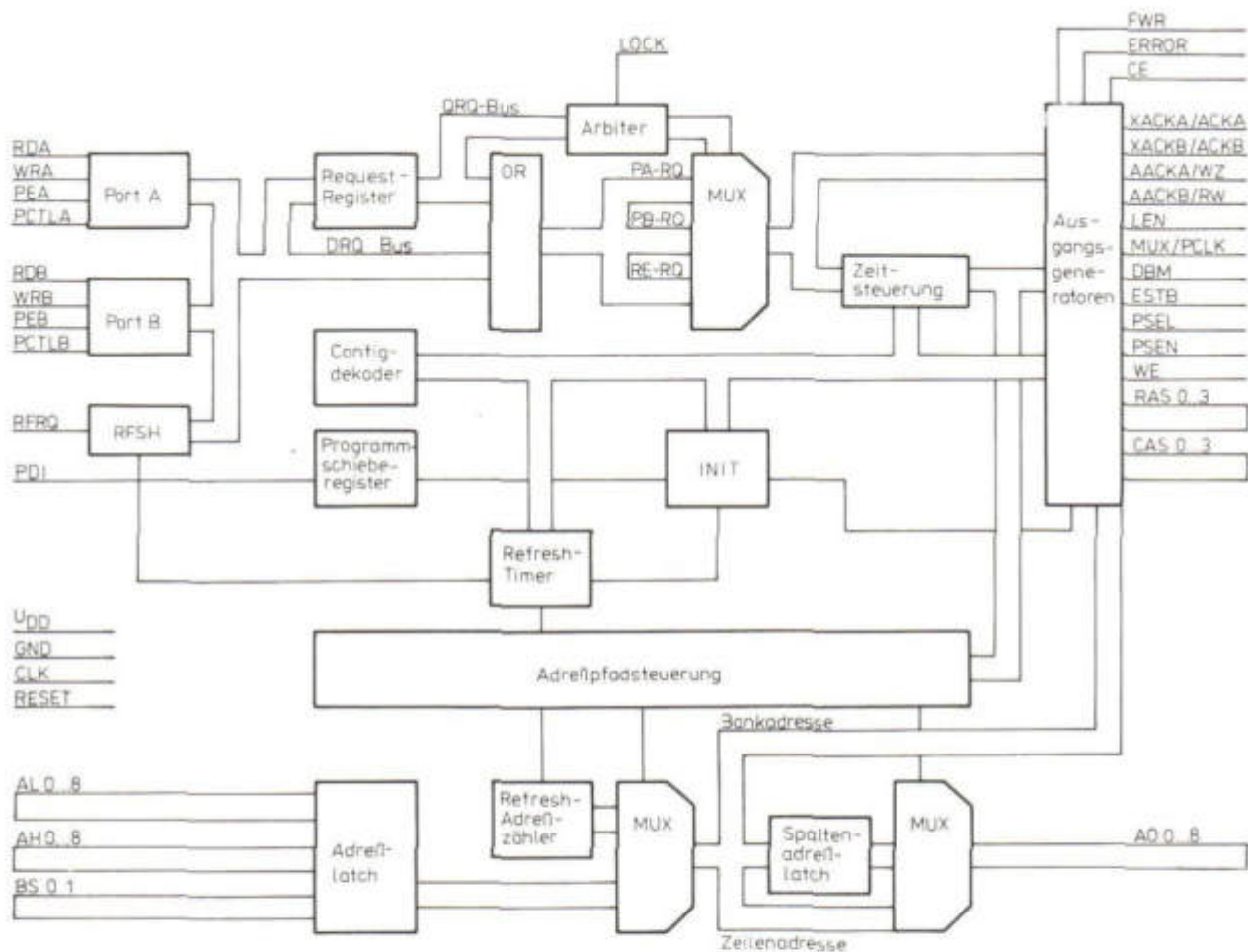


Bild 11: Blockschaltbild U 80610

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung. Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente müssen unbedingt eingehalten werden, da andernfalls eine Reklamation nicht anerkannt werden kann.



veb mikroelektronik · karl marx · erfurt
stammbetrieb

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

elektronik
export·import

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei, Telefon: 2180