

Anschlußbelegung und Schaltzeichen

Typstandard: TGL 45906

Bauform: PLCC-68, (Bild 32)

Bezeichnung der Anschlüsse

1	LEN	LATCH ENABLE, Ausgang
2	$\overline{XACKA/ACKA}$	TRANSFER ACKNOWLEDGE PORT A/ACKNOWLEDGE PORT A, Ausgang
3	$\overline{XACKB/ACKB}$	TRANSFER ACKNOWLEDGE PORT B/ACKNOWLEDGE PORT B, Ausgang
4	$\overline{AACKA/WZ}$	ADVANCED ACKNOWLEDGE PORT A/WRITE ZERO, Ausgang
5	$\overline{AACKB/RW}$	ADVANCED ACKNOWLEDGE PORT B/READ/WRITE, Ausgang
6	\overline{DBM}	DISABLE BYTE-MARKS, Ausgang
7	\overline{ESTB}	ERROR STROBE, Ausgang

Der U 80610 ist ein programmierbarer DRAM-Controller für die Ansteuerung dynamischer Speicherschaltkreise. Er unterstützt den Anschluß von 16-, 64- und 256 kBit dRAMs und kann einen Adreßraum von max. 2 MByte bedienen.

Bezeichnung der Anschlüsse

8	LOCK	LOCK, Eingang
9	U_{DD}	DRIVER POWER, Eingang
43	U_{DD}	LOGIC POWER, Eingang
10	CE	CORRECTABLE ERROR, Eingang
11	$\overline{\text{ERROR}}$	ERROR, Eingang
12	MUX/PCLK	MULTIPLEXER CONTROL/PROGRAMMING CLOCK, Ausgang
13	PSEL	PORT SELECT, Ausgang
14	PSEN	PORT SELECT ENABLE, Ausgang
15	WE	WRITE ENABLE, Ausgang
16	$\overline{\text{FWR}}$	FULL WRITE, Eingang
17	RESET	RESET, Eingang
18	$\overline{\text{CAS0}}$	COLUMN ADDRESS STROBES, Ausgänge
bis	bis	
21	$\overline{\text{CAS3}}$	
22	$\overline{\text{RAS0}}$	ROW ADDRESS STROBES, Ausgänge
bis	bis	
25	$\overline{\text{RAS3}}$	
26	GND	DRIVER GROUND, Eingang
60	GND	LOGIC GROUND, Eingang
35	AO0	ADDRESS OUTPUTS, Ausgänge
bis	bis	
27	AO8	
36,	BS0	BANK SELECT, Eingänge
37	BS1	
38	AL0	ADDRESS LOW, Eingänge
bis	bis	
47	AL8	
48	AH0	ADDRESS HIGH, Eingänge
bis	bis	
56	AH8	
57	PDI	PROGRAM DATA INPUT, Eingang
58	RFRQ	RFRQ, Eingang
59	CLK	CLOCK, Eingang
61	$\overline{\text{RDB}}$	READ FOR PORT B, Eingang
62	$\overline{\text{WRB}}$	WRITE FOR PORT B, Eingang

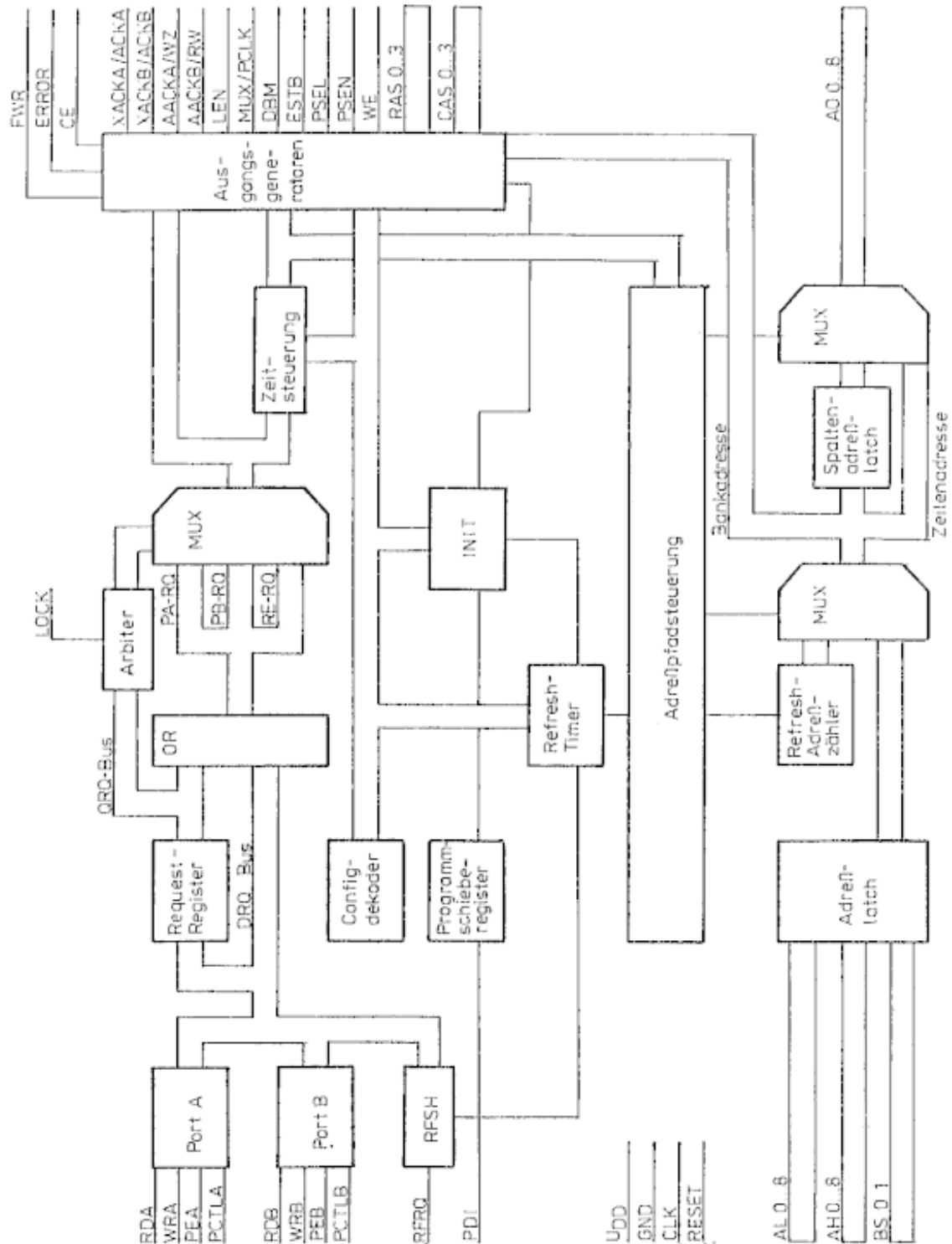
63	\overline{PEB}	PORT ENABLE FOR PORT B, Eingang
64	PCTLB	PORT CONTROL FOR PORT B, Eingang
65	\overline{RDA}	READ FOR PORT A, Eingang
66	\overline{WRA}	WRITE FOR PORT A, Eingang
67	\overline{PEA}	PORT ENABLE FOR PORT A, Eingang
68	PCTLA	PORT CONTROL FOR PORT A, Eingang

Beschreibung

Der U 80610 ist ein leistungsfähiger, systemorientierter Ansteuerschaltkreis für dRAMs bis zu einer Kapazität von 256 kBit. Er enthält die erforderliche Schaltung zur Gewährleistung eines konfliktfreien Zugriffs auf den Speicher. Ein Dual-Port-Interface ermöglicht dabei zwei getrennten Bussystemen den unabhängigen Zugriff auf die Daten im kontrollierten Adreßraum. Der DRC unterstützt ein unterschiedliches Verhalten im Mikroprozessor-Interface, er ist jedoch besonders für eine Ansteuerung durch K 1810 WM 86- oder U 80601-kompatible Prozessoren optimiert. Bei einem gemeinsamen Einsatz mit dem EDCU-Schaltkreis U 80608 wird der DRC im Korrektur-Mode (ECC) programmiert. Er liefert dann alle notwendigen Ansteuersignale zur Durchführung einer Speicherinitialisierung und transparenten Fehlerkorrektur. Der U 80610 trägt in solchen Applikationen zu einem einfachen Aufbau großer fehlerkontrollierter Speicher bei.

Eigenschaften

- Liefert alle zur Ansteuerung von 16 k, 64 k und 256 k dynamischen RAMs notwendigen Signale,
- bedient ohne externe Treiberstufen direkt einen Adreßraum bis zu 2 MByte,
- "Warn-up" zur Speichervorbereitung in allen Betriebsarten,
- 5 programmierbare Refreshbetriebsarten,
- unterstützt Einzel- und Dual-Port-Konfigurationen,
- realisiert auf jedem Port synchronen oder asynchronen Betrieb,
- anpaßbar an verschiedene Mikroprozessor-Interface-Bedingungen,
- automatische RAM-Initialisierung und transparente Fehlerkorrektur im ECC-Mode.



Übersichtsschaltplan