

Information



Serielle Ein-/Ausgabesteuerung U 82530 DC / U 8030 DC

Die Serial Communication Controller (serielle Ein-/Ausgabesteuerung) U 82530 DC und U 8030 DC sind programmierbare periphere Schaltkreise in n-Kanal-Silicon-Gate-Technologie. Sie sind entwickelt worden, um eine umfassende Unterstützung für die Bearbeitung einer Vielzahl serieller Kommunikationsprotokolle zu gewährleisten. Einmal programmiert, entlastet der SCC das Prozessorsystem von Aufgaben, die vorher durch die CPU oder die zugehörige Hardware erfüllt werden mußten.



Bild 1: Anschlußbelegung U 82530 DC

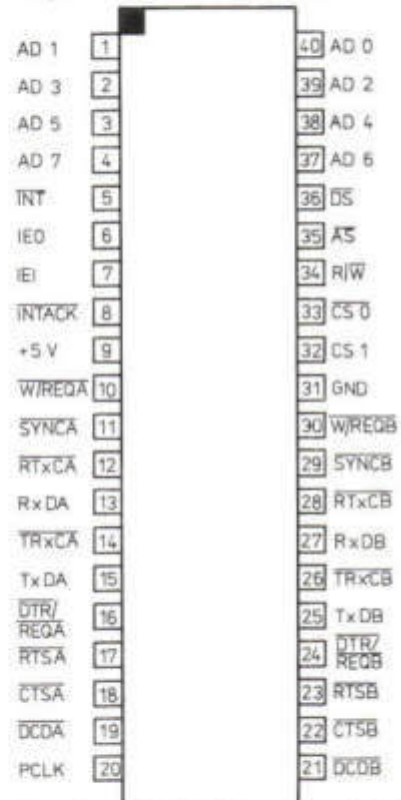


Bild 2: Anschlußbelegung U 8030 DC

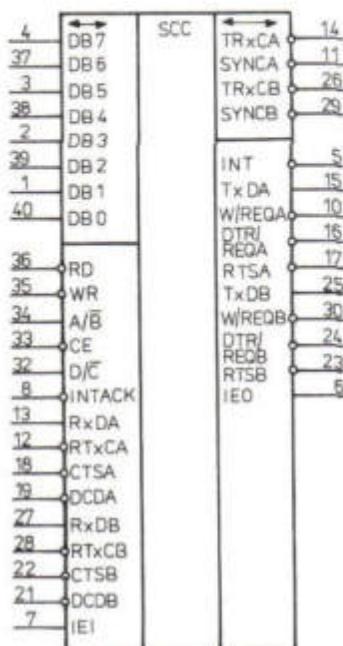


Bild 3: Schaltzeichen U 82530 DC

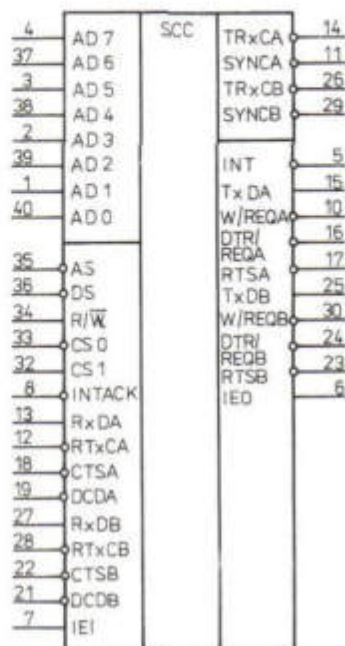


Bild 4: Schaltzeichen U 8030 DC

Bezeichnung und Beschreibung der Anschlüsse:

Der SCC ist für Multiplex- (Version U 8030 DC) und Nichtmultiplexbetrieb (Version U 82530 DC) verfügbar. Dementsprechend ist die folgende Pinbeschreibung unterteilt in U 8030 DC-spezifische Pins, U 82530 DC-spezifische Pins und Pins, die für beide Versionen identisch sind. Bild 1 (Bild 3) bezeichnet die Pinanschlüsse und Signalnamen für den U 82530 DC, Bild 2 (Bild 4) die für den U 8030 DC.

Pinbeschreibung (nur U 82530 DC)

A/B	Auswahl Kanal A/Kanal B (Eingang, Kanal A highaktiv) Dieses Signal wählt den Kanal aus, in dem der Schreib- oder Lesezyklus ausgeführt wird.
CE	Chip Enable (Eingang, lowaktiv) Signal zur Chipfreigabe
DB 0 ... DB 7	Datenleitungen (bidirektional, tristate) Anschlußleitungen an den Systemdatenbus
D/C	Data/Control (Eingang, Data highaktiv) Auswahlsignal: Daten oder Steuerinformation
RD	Read (Eingang, lowaktiv) Dieses Signal zeigt einen Lesezyklus an und gibt die SCC-Bustreiber frei, falls der SCC ausgewählt wurde. Während eines Interruptanerkennungszyklusses legt dieses Signal den Interruptvektor unter der Voraussetzung auf den Bus, daß der betreffende SCC der Schaltkreis mit der höchsten Priorität in der Interrupt-Prioritätskette ist, der einen Interrupt anfordert.

WR Write (Eingang, lowaktiv)
Dieses Signal zeigt einen Schreibzyklus an. Das gleichzeitige Aktivieren von RD und WR wird als Hardware-RESET interpretiert.

Pinbeschreibung (nur U 8030 DC)

AD 0 ... AD 7 Adreß-/Datenbus (bidirektional, tristate)
Multiplexleitungen zum Anschluß an den Adreß-/Datenbus des Systems

AS Adress Strobe (Eingang, lowaktiv)
Die Adressen auf AD 0 ... AD 7 werden mit der steigenden Flanke dieses Signals bewertet.

CS 0 Chip Select 0 (Eingang, lowaktiv)
Dieses Signal wird gleichzeitig mit den Adressen AD 0 ... AD 7 bewertet und muß aktiv sein, damit der entsprechende Zyklus ablaufen kann.

CS 1 Chip Select 1 (Eingang, highaktiv)
Dieses zweite Auswahlsignal muß ebenfalls aktiv sein, bevor der beabsichtigte Datentransfer über den Systembus ablaufen kann. CS 1 muß während des Transfers aktiv bleiben.

DS Data Strobe (Eingang, lowaktiv)
Dieses Signal bestimmt die Zeitsteuerung für den Datentransfer über den Systembus. Sind AS und DS gleichzeitig Low, so wird dies als Hardware-RESET interpretiert.

R/W Read/Write (Eingang, Read highaktiv)
Dieses Signal kennzeichnet den ablaufenden Zyklus als Lese- oder Schreibzyklus.

Pinbeschreibung (beide Versionen)

CTSA, CTSB Clear To Send (Eingänge, lowaktiv)
Wenn diese Pins "Auto Enable" programmiert sind, gibt ein Low an diesen Eingängen den entsprechenden Sender frei. Wenn sie nicht als "Auto Enable" programmiert sind, können sie wahlfrei genutzt werden. Beide Eingänge sind mit Schmitt-Trigger ausgerüstet, um Signale mit einer längeren Anstiegszeit zu verarbeiten. Der SCC erkennt beliebige Pegelwechsel an diesen Eingängen und kann daraufhin einen Interrupt anfordern.

DCDA, DCDB Data Carrier Detect (Eingänge, lowaktiv)
Diese Pins sind, wenn sie "Auto Enable" programmiert sind, als Empfängerfreigabe vorgesehen. Andernfalls können sie wahlfrei genutzt werden. Beide Eingänge sind mit Schmitt-Trigger ausgestattet, um Signale mit einer längeren Anstiegszeit zu verarbeiten. Der SCC erkennt beliebige Pegelwechsel an diesen Eingängen und kann daraufhin einen Interrupt anfordern.

DTR/REQA,
DTR/REQB Data Terminal Ready/Request (Ausgänge, lowaktiv)
Diese Ausgänge folgen dem Zustand des DTR-Bits. Sie können auch wahlfrei oder als Anforderungsleitungen für die DMA-Steuerung genutzt werden.

IEI Interrupt Enable In (Eingang, highaktiv)
Gibt es mehr als einen interruptgesteuerten Schaltkreis im System, wird IEI in Verbindung mit IEO benutzt, um eine Interrupt-Prioritätskette zu realisieren. Ein High an IEI zeigt an, daß momentan für keinen höherpriorisierten Schaltkreis in der Kette ein Interrupt bedient (Interrupt Under Service) oder angefordert wird.

IEO Interrupt Enable Out (Ausgang, highaktiv)
IEO ist nur dann high, wenn IEI high ist und die CPU keinen SCC-Interrupt bedient bzw. der SCC keinen Interrupt anfordert. IEO ist mit dem IEI-Eingang des Schaltkreises mit der nächstniedrigeren Priorität verbunden und kann so die Interrupts der niederpriorisierten Bausteine sperren.

INTACK Interrupt Acknowledge (Eingang, lowaktiv)
Dieses Signal zeigt einen Interruptanerkennungszyklus an. Während dieses Zyklus wird die Interrupt-Prioritätskette durchgeschaltet. Wenn DS (U 8030 DC)

	bzw. $\overline{RD}$ (U 82530 DC) aktiv werden, sendet der SCC einen Interruptvektor auf den Datenbus (falls IEI high ist). $\overline{INTACK}$ wird mit der steigenden Flanke von $\overline{AS}$ bzw. dem Systemtakt bewertet.
$\overline{INT}$	Interrupt Request (open-drain-Ausgang, lowaktiv) Dieses Signal wird aktiviert, wenn der SCC einen Interrupt anfordert.
$\overline{C}$	Systemtakt (Eingang) Dies ist der Grundtakt, der benutzt wird, um die internen Signale zu synchronisieren. Der Takt am SCC braucht keine feste Phasenbeziehung zum Takt des Prozessorsystems zu haben. Die Frequenz des SCC-Taktes muß jedoch mindestens 90 % der Frequenz des Prozessorsystemtaktes betragen. Der Systemtakt wird mit TTL-Pegel getrieben.
$\overline{RTSA}, \overline{RTSB}$	Request To Send (Ausgänge, lowaktiv) Wenn das RTS-Bit in Schreibregister WR 5 gesetzt ist, wird das RTS-Pin Low. Ist das RTS-Bit im Asynchronbetrieb rückgesetzt, wird Auto Enable eingeschaltet, geht das Signal, nachdem alle Sendespeicher leer sind, auf High-Pegel. Ist im Synchronbetrieb oder im Asynchronbetrieb Auto Enable ausgeschaltet, so folgt das RTS-Pin strikt dem Zustand des RTS-Bits. Beide Pins können wahlfrei genutzt werden.
$\overline{RTxCA}, \overline{RTxCB}$	Empfangs-/Sendetakt (Eingänge, lowaktiv) Die Funktionen dieser Pins müssen durch den Anwender bestimmt werden. In jedem Kanal kann das $\overline{RTxC}$ -Pin den Empfangstakt, den Sendetakt, den Takt für den Baud-Rate-Generator oder den Takt für die DPLL liefern. Der Empfangstakt kann im Asynchronbetrieb das 1-, 16-, 32- oder 64fache der Datenrate betragen. Diese Eingänge können in Verbindung mit den entsprechenden SYNC-Pins auch für den Aufbau eines Quarzoszillators genutzt werden.
$\overline{RxDA}, \overline{RxDB}$	Empfangsdatenleitungen (Eingänge, highaktiv) Diese Empfangssignale empfangen serielle Daten mit Standard-TTL-Pegel.
$\overline{SYNCA}, \overline{SYNCB}$	Synchronisierung (Ein-/Ausgänge, lowaktiv) Diese Pins können entweder als Eingänge, Ausgänge oder als Teil einer Quarzoszillatorschaltung wirken. Im synchronen Empfangsbetrieb (ohne Quarzoszillator) können diese Pins wie die $\overline{CTS}$ - und $\overline{DCD}$ -Pins eingesetzt werden. In dieser Betriebsart beeinflussen Pegelwechsel an diesen Leitungen den Zustand des "Sync/Hunt"-Bits im Leseregister RR 0, sie haben dann keine andere Funktion. Im externen Synchronbetrieb (ohne Quarzoszillator) arbeiten diese Leitungen als Eingänge. In dieser Betriebsart muß SYNC, nachdem das letzte Bit des SYNC-Zeichens empfangen worden ist, über zwei Empfangstaktzyklen aktiviert werden. Die Zeichenübertragung beginnt mit der steigenden Flanke des Empfangstaktes direkt nach der Aktivierung des SYNC-Pins. Im internen Synchronbetrieb (Monosync und Bisync ohne Quarzoszillator) arbeiten die SYNC-Pins als Ausgänge und sind nur während des Teils des Empfangszyklusses aktiv, in dem SYNC-Zeichen erkannt werden. Die Synchronbedingung wird nicht gespeichert. So sind diese Ausgänge unabhängig von den Zeichenkettengrenzen, immer wenn ein SYNC-Zeichen erkannt wird, aktiv. Im SOLC-Betrieb arbeiten diese Pins als Ausgänge und werden beim Empfang eines SOLC-Flags aktiv.
$\overline{TRxCA}, \overline{TRxCB}$	Senden-/Empfangstakte (Eingänge oder Ausgänge, lowaktiv) Die Funktion dieser Pins muß durch den Anwender bestimmt werden. Die $\overline{TRxC}$ -Pins können als Empfangs- bzw. Sendetakteingänge benutzt werden oder die Ausgangssignale der DPLL, des Quarzoszillators, des Baud-Rate-Generators oder den Sendetakt liefern.
$\overline{TxDA}, \overline{TxDB}$	Sendedatenleitungen (Ausgänge, highaktiv) Diese Ausgänge senden serielle Daten mit TTL-Pegel.
$\overline{W/REQA},$ $\overline{W/REQB}$	Wait/Request (Ausgänge, lowaktiv, Wait: open-drain, Request: tristate) Diese Ausgänge können entweder als Anforderungsleitungen für eine DMA-Steuerung oder als Wait-Leitungen zur Synchronisation des Datentransfers auf den Systembus genutzt werden. Der Zustand des Pins nach RESET entspricht Wait.

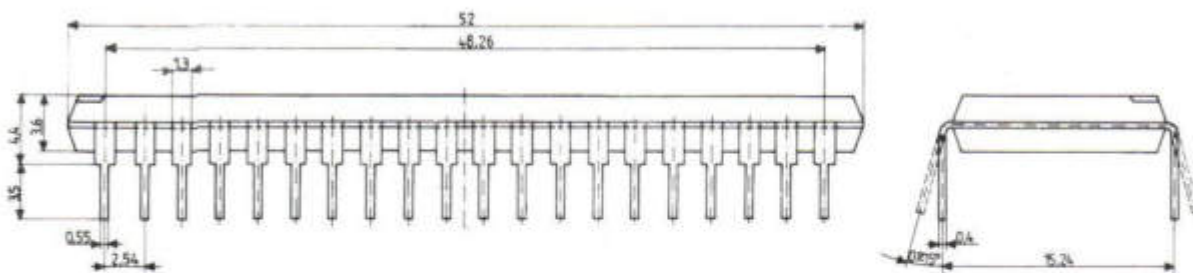


Bild 5: Gehäuseabmessungen

Beschreibung

Die Serial Communication Controller (SCC) U 82530 DC und U 8030 DC sind in n-Kanal-Silicon-Gate-Technologie gefertigte, programmierbare, periphere Schaltkreise, die entwickelt worden sind, um umfassende Unterstützung für die Bearbeitung einer Vielzahl serieller Kommunikationsprotokolle zu gewährleisten. Der SCC kann für spezielle serielle Kommunikationsverfahren eingesetzt werden, aber auch Standardformate wie byteorientierte synchrone, bitorientierte synchrone und asynchrone Formate bearbeiten. Einmal programmiert, entlastet der SCC das Prozessorsystem von Aufgaben, die vorher durch CPU oder die zugehörige Hardware erfüllt werden mußten. Durch den Zugriff auf 16 Schreibregister und 9 Leseregister pro Kanal kann der Nutzer den SCC so programmieren, daß dieser alle asynchronen Formate ohne Einschränkung in Bezug auf die Anzahl der Datenbits, die Anzahl der Stoppbits oder die Form der Paritätsforderung verarbeitet. Der SCC bearbeitet auch alle synchronen Formate einschließlich zeichen-, byte- und bitorientierter Protokolle.

In allen Betriebsarten ermöglicht der SCC auch Variationen des Übertragungsprotokolls durch Paritätstest, durch Einfügen oder Löschen von Zeichen, CRC-Generierung und -Testung, das Erzeugen und Feststellen von Unterbrechung, Abbruch usw.

Der U 8030 DC wird in Systemen eingesetzt, in denen Adreß- und Datenleitungen im Multiplexbetrieb arbeiten. Der U 82530 DC kann in Mikroprozessorsystemen benutzt werden, in denen Adreß- und Datenleitungen separat vorhanden sind (z. B. U 880 D). Im allgemeinen sind beide Typen jedoch als Schaltkreise innerhalb des Systems der 16bit-Leistungsklasse konzipiert.

Eigenschaften

- Versorgungsspannung : $5\text{ V} \pm 5\%$
- max. Taktfrequenz: 4 MHz (6 MHz in Vorbereitung)
- 4 unabhängige serielle Ports: 2 Sender- und 2 Empfängerports
- synchrone/asynchrone Datenraten:
 - * bis zu 1 Mbit/sec bei 4 MHz Systemtakt
 - * bis zu 250 kbit/sec bei 4 MHz Systemtakt (FM-Kodierung unter Benutzung der DPLL)
 - * bis zu 125 kbit/sec mit 4 MHz Systemtakt (NRZI-Kodierung unter Benutzung der DPLL)
- alle internen Steuer- und Datenregister sind les- und schreibbar
- Datenregister sind generell direkt adressierbar, Steuerregister nur beim U 8030 DC
- beim U 82530 DC muß auf die Steuerregister mit einer Befehlsfolge zugegriffen werden
- Vektorinterrupt inklusive Status (Ursache), daisy-chain (IEI, IEO) und Polling möglich
- Der WAIT/REQUEST-Ausgang ermöglicht schnelle CPU/DMA-Blockübertragungen, die QTR/REQUEST-Leitung ermöglicht Übertragungen unter DMA-Steuerung in beiden Richtungen (vollduplex)
- Asynchronbetrieb:
 - * 5, 6, 7 oder 8 Bits/Zeichen
 - * 1, 1 1/2 oder 2 Stoppbits
 - * ungerade, gerade oder keine Parität

- * Taktvarianten: x 1, x 16, x 32 oder x 64
- * Erzeugung und Erkennen von Unterbrechungen (Break)
- * Erkennung von Paritäts-, Überlauf- oder Rahmenfehlern
- byteorientierter Synchronbetrieb
 - * interne oder externe Zeichensynchronisierung
 - * 1 oder 2 SYNC-Zeichen in separaten Registern
 - * 6- oder 8bit-SYNC-Zeichen
 - * automatisches Einfügen und Löschen von SYNC-Zeichen
 - * Cyclic Redundancy Check (CRC)-Generierung und -Test
- SDLC/HDL-Mode
 - * Generierung und Testen von Abbruchfolge (Abort)
 - * automatische Nulleinfügung und -löschung
 - * automatisches Einfügen von SDLC-Flags in Sendesequenzen
 - * Adressfeldererkennung
 - * I-Feld-Residuen-Behandlung
 - * CRC-Generierung und -Test
 - * SDLC-Loop-Mode mit EOP-Erkennung; Schleifenan- und -abkopplung
- NRZ-, NRZI oder FM-Kodierung/-Dekodierung
- Baud-Rate-Generator (BRG) in jedem Kanal
- Digital Phase Locked Loop (DPLL) für die Taktgewinnung
- Quarzoszillator

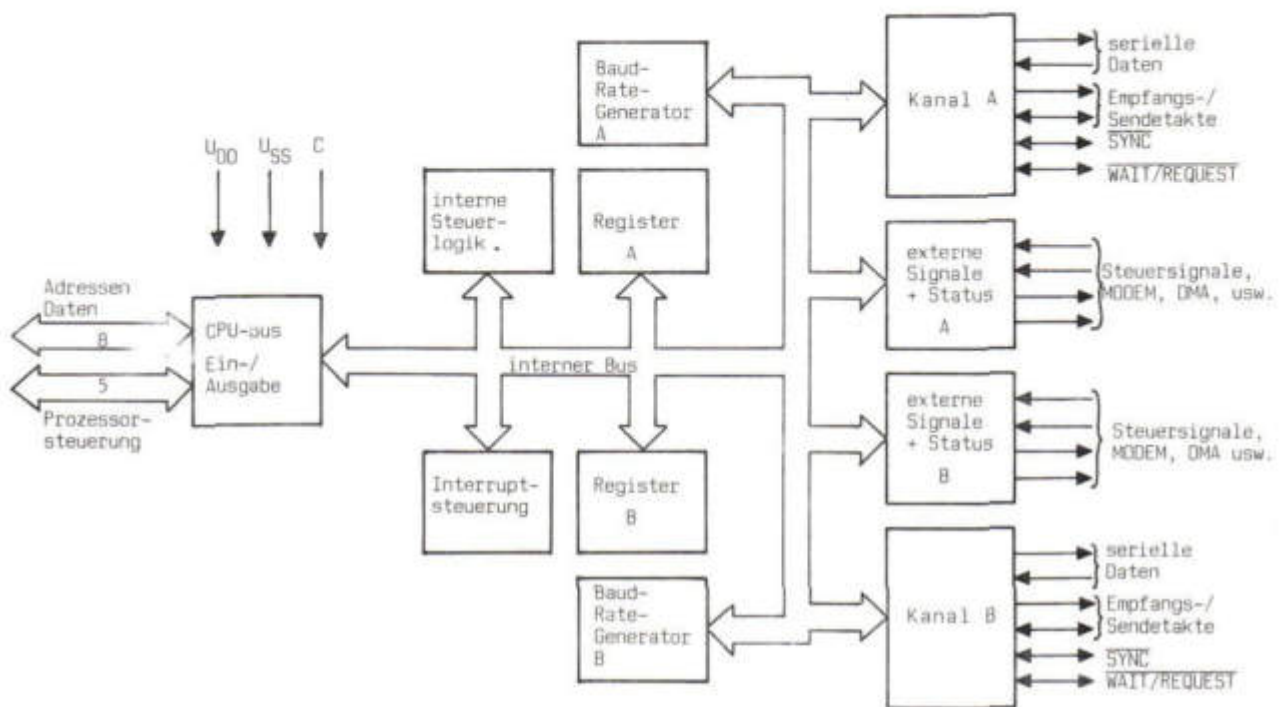


Bild 6: Blockschaltbild

Bild 6 zeigt das Blockschaltbild des SCC. Der empfangene serielle Datenstrom folgt, abhängig vom Zustand der Steuerlogik, einem der verschiedenen Datenwege. Die gesendeten Daten gehorchen einem ähnlichen Steuerungsablauf. Der Datenübertragungsprozeß wird durch die Registerinhalte und die Signale an den Steuerpins bestimmt. Andererseits werden die Register und der Zustand an externen Steuerpins von der internen Logik beeinflusst.

Der U 8030 DC ist auf Systemanwendungen mit Multiplex-Adress-/Datenleitungen entsprechend denen des U 8000 ausgerichtet.

Der U 82530 DC wurde für Systeme entworfen, die separate Adreß- und Datenleitungen haben. Er kommuniziert mit einem Prozessor durch Chip-Select-Eingänge ($\overline{CS\ 0}$ und $CS\ 1$), Read- und Write-Eingänge ($\overline{RD}$, $\overline{WR}$), einen Channel-Select-Eingang ($A/\overline{B}$) und einen Data/Control-Eingang ($D/\overline{C}$).

SCC-Anschlüsse

Die SCC-Pins sind in 7 funktionelle Gruppen unterteilt: Adressen/Daten, Zeitsteuerung und RESET, Systemsteuerung, Interrupt, serielle Daten (beide Kanäle), periphere Steuerung (beide Kanäle) und Takte (beide Kanäle).

Die Adreß-/Datengruppe besteht aus bidirektionalen Leitungen, die benutzt werden, um Daten zwischen der CPU und dem SCC zu übertragen. (Die Adressen werden im U 8030 DC mit $\overline{AS}$ bewertet.) Nach Ansprache des SCC durch die CPU hängt die Übertragungsrichtung dieser Leitungen davon ab, ob eine Lese- oder Schreiboperation ausgeführt wird.

Die Zeit- und Steuergruppen kennzeichnen den Typ des ablaufenden Zyklusses. Die Interruptgruppe bearbeitet Ein- und Ausgangssignale, die den Besonderheiten für die Behandlung und Priorisierung von Interrupts im System angepaßt sind. Die übrigen Gruppen können in Kanal-A- und Kanal-B-Datengruppe für serielle Daten (Senden und Empfangen), periphere Steuerung (DMA oder MODEM) und die Eingangs- und Ausgangsleitungen für die Empfangs- und Sendetakte unterteilt werden.

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

RFT



**veb mikroelektronik »karl marx« erfurt
stammbetrieb**

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

**elektronik
export·import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei, Telefon: 2180