

CMOS-Mikroprozessorsystem U84C00

Das Mikroprozessorsystem U 84 C 00 umfaßt ein Sortiment an Mikrorechnerbausteinen, welches so konzipiert ist, daß Mikrorechnersysteme mit minimaler Bausteinanzahl zu realisieren sind. Als Speicherbausteine sind sämtliche Standardbauelemente verwendbar. Alle Bausteine des Systems benötigen nur eine einzige 5 V-Stromversorgung und einen 5 V-Einphasentakt. Hervorzuheben ist der geringe Stromverbrauch der CMOS-Schaltkreise. Das Schaltkreissystem ist für den Einsatz in einem Temperaturbereich von 0 ... 70 °C geeignet.

Übersicht Mikroprozessorsystem U 84 C 00

Funktion	2,5 MHz	4 MHz
CPU	U 84 C 00 DC 02	U 84 C 00 DC 04
PIO	U 84 C 20 DC 02	U 84 C 20 DC 04
CTC	U 84 C 30 DC 02	U 84 C 30 DC 04
SIO	U 84 C 40 DC 02	U 84 C 40 DC 04

Die CPU ist ein in CMOS-Technologie hergestellter Einchipmikroprozessor. Sie ermöglicht den Aufbau von Mikroprozessorsystemen hoher Leistungsfähigkeit.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C 00 DC 02	2,5 MHz	15 mA	möglich
U 84 C 00 DC 04	4 MHz	15 mA	möglich
U 84 C 00 DC 02-1	2,5 MHz	15 mA	nicht möglich

Eigenschaften der CPU:

- Der Befehlssatz enthält 158 Befehle mit 16-, 8-, 4- und Einzelbit-Instruktionen sowie zusätzliche Adressierungsweisen (indizierte, relative und Bitadressierung).
- Die minimale Befehlsausführzeit der Typen U 84 C 00 DC 02 und U 84 C 00 DC 02-1 beträgt 1,6 µs bei einer maximalen Taktfrequenz von 2,5 MHz.
Die minimale Befehlsausführzeit des U 84 C 00 DC 04 beträgt 1 µs bei einer maximalen Taktfrequenz von 4 MHz.
- Die CPU enthält 21 interne Register und einen Befehlszähler.
- Es existieren 3 schnelle Interruptbehandlungsarten und außerdem ein zusätzlicher, nicht maskierbarer Interrupt.
- 5 V-Einphasentakt und eine Standard-5 V-Gleichspannung
- Der Anschluß von dynamischen oder statischen Standardspeicherchips ist möglich.
- Integrierte dynamische Refresh-Hardware
- Die Eingänge sind voll TTL-kompatibel, die Ausgänge können eine Standard-TTL-Last treiben.
- Die CPU ist in einen Schlafzustand (Standby) überführbar, bei dem die Stromaufnahme kleiner als 10 µA ist (außer U 84 C 00 DC 02-1).

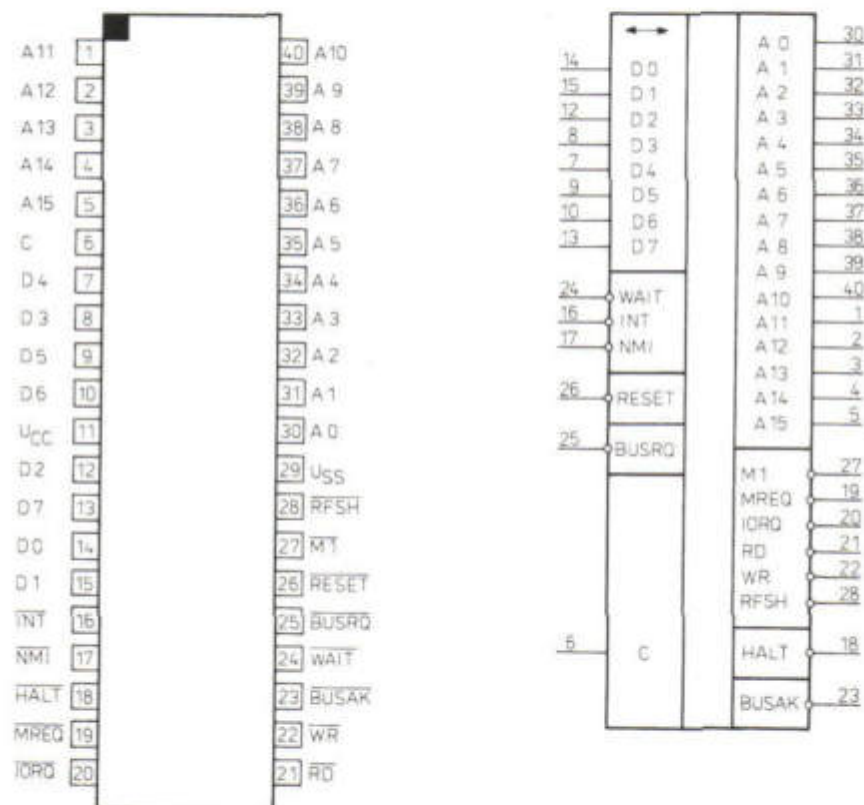


Bild 1: Anschlußbelegung und Schaltzeichen U 84 C 00 DC (Bauform 1)

Bezeichnung der Anschlüsse:

A 0 ... A 15	16 bit-Adreßbus, Ausgänge
D 0 ... D 7	8 bit bidirektionaler Datenbus
<u>M</u> I	Maschinenzyklus M 1, Ausgang
<u>MREQ</u>	Speicheranforderung, Ausgang
<u>IORQ</u>	Ein-/Ausgabeanforderung, Ausgang
<u>RD</u>	Leseanforderung, Ausgang
<u>WR</u>	Schreibanforderung, Ausgang
<u>RFSH</u>	Refreshsignal, Ausgang
<u>HALT</u>	CPU im Software-Halt-Zustand, Ausgang
<u>WAIT</u>	Warteanforderung für die CPU, Eingang
<u>INT</u>	Interruptanforderung, Eingang
<u>NMI</u>	nicht maskierbare Interruptanforderung, Eingang
<u>RESET</u>	Rücksetzen, Eingang
<u>BUSRQ</u>	Busanforderung, Eingang
<u>BUSAK</u>	Busanforderungsbestätigung, Ausgang

Aufbau des CPU-Registersatzes:

Hauptregistersatz		Alternativsatz		
Akkumulator A	Flags F	Akkumulator A'	Flags F'	
B	C	B'	C'	} Register zur allgemeinen Verwendung
D	E	D'	E'	
H	L	H'	L'	
Interrupt Vektor I		Speicher Refresh R		
Indexregister		IX		} Spezial- register
Indexregister		IY		
Kellerzeiger		SP		
Programmzähler		PC		

Befehlsgruppen:

- 8 bit Ladebefehle
- Registertausch
- 8 bit arithmetische und logische Befehle
- Rotations- und Schiebefehle
- Ein- und Ausgabebefehle
- Rückkehrbefehle
- 16 bit arithmetische Befehle
- 16 bit Ladebefehle
- Blocktransport- und Suchbefehle
- Steuerbefehle
- Bitoperationen
- Rufofahle
- Sprungbefehle

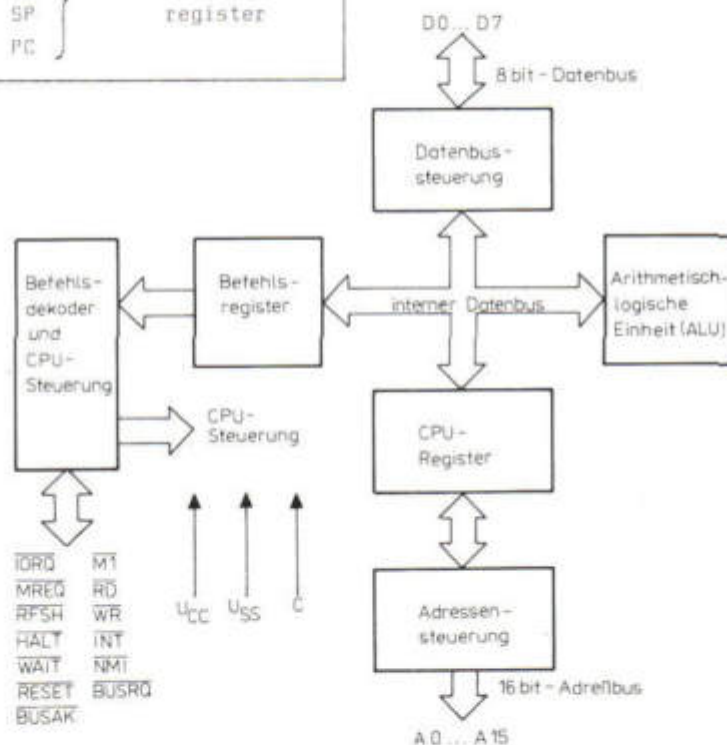


Bild 2: Blockschaibild der CPU

Die PIO ist ein in CMOS-Technologie hergestellter programmierbarer Ein-/Ausgabebaustein mit zwei TTL-kompatiblen Kanälen. Die PIO stellt die Verbindung zwischen der CPU und peripheren Geräten her, ohne daß zusätzliche Logik erforderlich ist.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C 20 DC 02	2,5 MHz	2 mA	möglich
U 84 C 20 DC 04	4 MHz	2 mA	möglich
U 84 C 20 DC 02-1	2,5 MHz	2 mA	nicht möglich

Eigenschaften der PIO:

- Interruptmöglichkeit im Quittungsbetrieb für schnelle Anforderungsbearbeitung
- Folgende Betriebsarten sind möglich:
 - * Byte-Ausgabe (Betriebsart 0)
 - * Byte-Eingabe (Betriebsart 1)
 - * Byte-Ein-/Ausgabe (bidirektionaler Betrieb, nur für Port A möglich)/(Betriebsart 2)
 - * Bit-Ein-/Ausgabe (Betriebsart 3)
- Die Interruptbearbeitung kann den Bedingungen des peripheren Gerätes angepaßt programmiert werden.
- Die Ein- und Ausgänge sind TTL-kompatibel.
- automatische Interruptvektorerzeugung und Prioritätskodierung durch Kaskadierung der Bausteine
- Die Ausgänge des Ports B sind für den direkten Anschluß von Darlington-Transistoren geeignet.
- Die PIO ist in einen Schlafzustand überführbar, bei dem die Stromaufnahme kleiner als 10 μ A wird (außer U 84 C 20 DC 02-1).

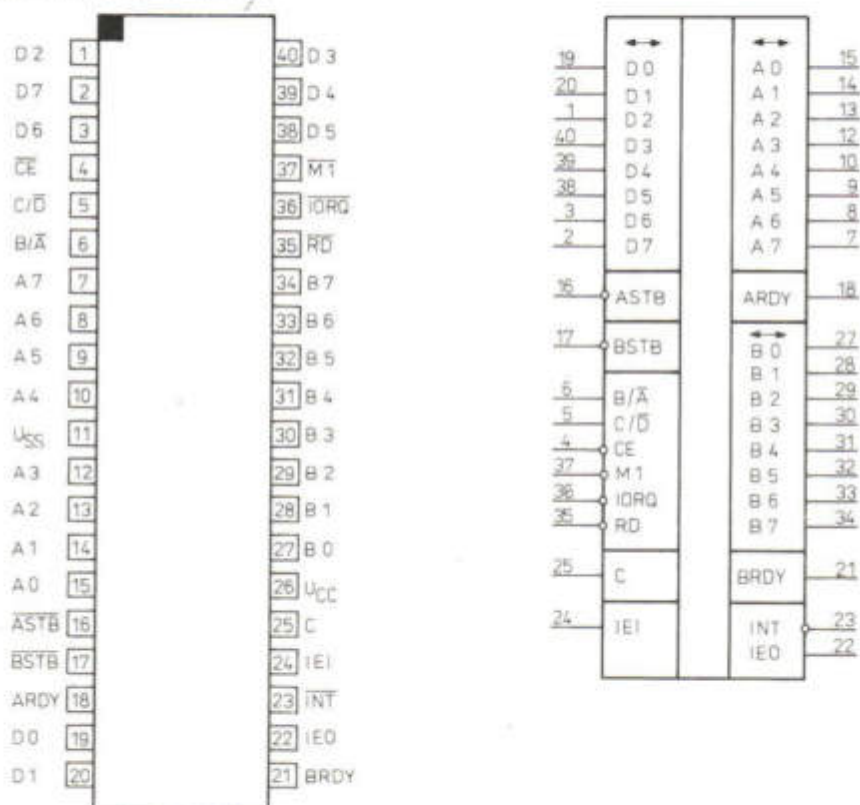


Bild 3: Anschlußbelegung und Schaltzeichen U 84 C 20 DC (Bauplan 1)

Bezeichnung der Anschlüsse:

$\overline{RD}$	CPU-Leseanforderung, Eingang
$B/\overline{A}$	Kanalauswahl, Eingang
$C/\overline{D}$	Umschaltung Steuerwort/Datenwort, Eingang
$\overline{CE}$	Bausteinauswahl, Eingang
$\overline{MT}$	CPU-Maschinenzyklus M 1, Eingang
$\overline{TORQ}$	CPU-Ein-/Ausgabeanforderung, Eingang
$\overline{BSTB}$	Kanal-B-Strobe, Eingang
$BRDY$	Kanal-B-Quittung, Ausgang
$\overline{INT}$	Interruptanforderung, Ausgang
$\overline{ASTB}$	Kanal-A-Strobe, Eingang
$ARDY$	Kanal-A-Quittung, Ausgang
IEI	Interruptfreigabe, Eingang
IED	Interruptfreigabe, Ausgang
$A 0 \dots A 7$	Ein-/Ausgänge Port A
$B 0 \dots B 7$	Ein-/Ausgänge Port B
$D 0 \dots D 7$	8 bit bidirektionaler Datenbus
C	Systemtakt

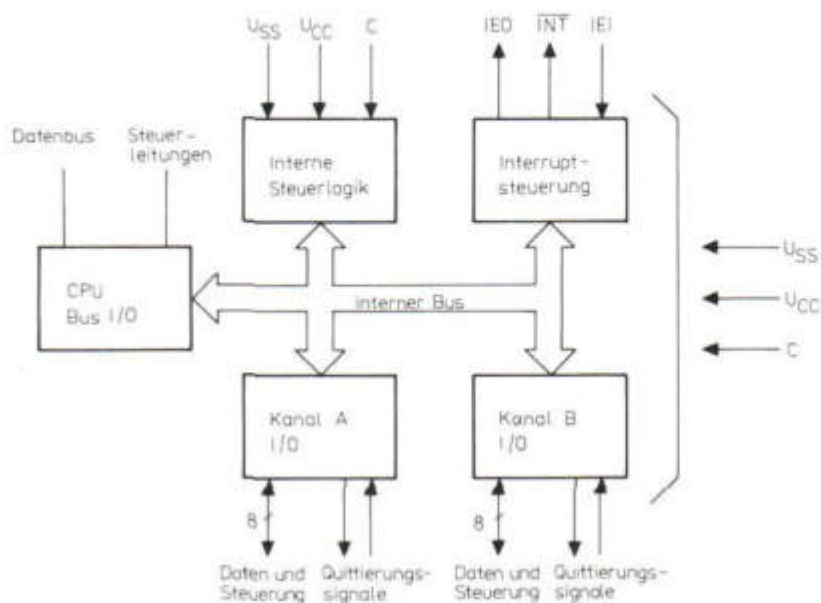


Bild 4: Blockschaltbild der P10

Der CTC ist ein in CMOS-Technologie hergestellter programmierbarer Zähler-/Zeitgeberbaustein, der über vier voneinander unabhängige, softwareprogrammierbare Zähler-/Zeitgeberkanäle verfügt.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C 30 DC 02	2,5 MHz	3 mA	möglich
U 84 C 30 DC 04	4 MHz	3 mA	möglich
U 84 C 30 DC 02-1	2,5 MHz	3 mA	nicht möglich

Eigenschaften des CTC:

- Alle Ein- und Ausgänge sind voll TTL-kompatibel.
- Es wird nur eine 5 V-Versorgungsspannung benötigt.
- Es existieren vier voneinander unabhängige, softwareprogrammierbare 8 bit-Zähler-/16 bit-Zeitgeberkanäle. Jeder dieser Kanäle kann wahlweise als Zähler oder Zeitgeber verwendet werden.
- In der Betriebsart Zeitgeber sind Vorteiler durch 16 oder 256 für jeden Zeitgeberkanal möglich.
- Es können Interrupts bei Erreichen von programmäßig festgelegten Zähler- oder Zeitgeberwerten programmiert werden.
- automatische Interruptvektorbereitstellung und Prioritätskodierung ohne zusätzlichen Schaltungsaufwand durch Kaskadierung der Bausteine
- Die Ausgänge (ZC/TD 0 ... ZC/TD 2) der drei herausgeführten Kanäle sind zum direkten Anschluß von Darlington-Transistoren geeignet.
- Die maximale Zählfrequenz in der Betriebsart Zähler ist $f_C/2$.
- Der CTC ist in einen Schlafzustand überführbar, bei dem die Stromaufnahme kleiner als 10 μA wird.

Der Zähler-/Zeitgeberbaustein enthält folgende Funktionseinheiten (siehe Blockschaltbild):

- Interface zur CPU
Der CTC kann direkt über die interne Bus-Interface-Logik an die CPU angeschlossen werden.
- Interne Steuerlogik
Über eine interne Steuerlogik wird der Daten- und Steuerbus mit den vier Zähler-/Zeitgeberkanälen des CTC synchronisiert.
- Interrupt-Steuerlogik
Die Interrupt-Steuerlogik behandelt die CPU-Interruptstrukturen entsprechend der festgelegten Priorität. Diese Priorität ist abhängig von der Stellung des CTC in der Prioritätskette. Jedem der vier Kanäle wird ein Interruptvektor zugeordnet, wobei der Kanal 0 die höchste Priorität besitzt.
- 4 Zähler-/Zeitgeberkanäle
Jede Kanaleinheit besteht aus einem Zeitkonstantenregister (8 bit), einem Kanalsteuerregister (8 bit), einem Rückwärtszähler (8 bit), einem Vorteiler und einer eigenen Steuerlogik. Der Vorteiler (8 bit) ist auf die Werte 16 oder 256 programmiert.

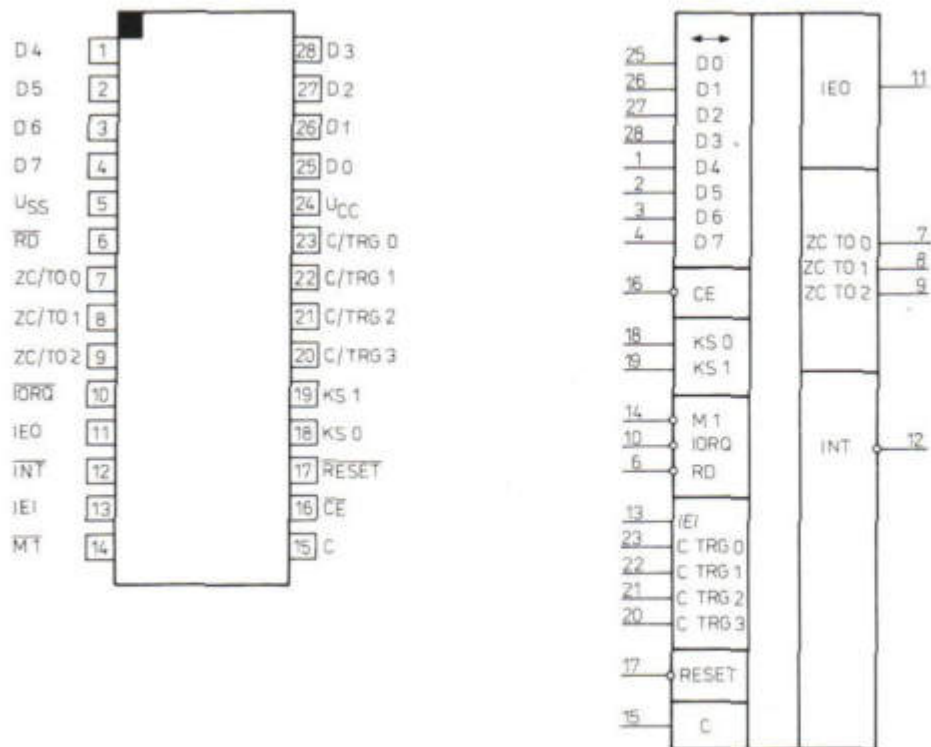


Bild 5: Anschlußbelegung und Schaltzeichen U 84 C 30 DC (Bauform 2)

Bezeichnung der Anschlüsse:

IORQ	Ein-/Ausgabeanforderung, Eingang
IEI	Interruptfreigabe, Eingang
IEO	Interruptfreigabe, Ausgang
INT	Interruptanforderung, Ausgang
RD	CPU-Leseanforderung, Eingang
MT	CPU-Maschinenzyklus, Eingang
C	Systemtakt, Eingang
RESET	Rücksetzeingang
C/TRG 0 ... C/TRG 3	Takt- bzw. Triggereingang für den jeweiligen Kanal
D 0 ... D 7	8 bit Datenbus, Ein-/Ausgänge, tristate
ZC/TO 0 ... ZC/TO 2	Nulldurchgang des Rückwärtszählers bzw. Zeitgebermeldung
KS 0, KS 1	Kanalauswahl, Eingabe einer 2 bit Adresse des vom Mikroprozessor angesprochenen Kanals

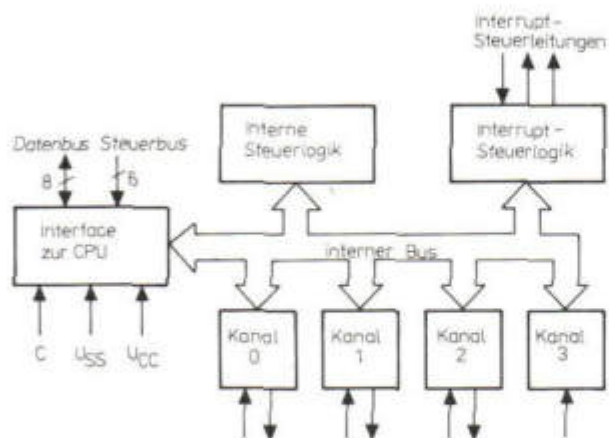


Bild 6: Blockschaltbild des CTC

Die SIO ist ein in CMOS-Technologie hergestellter, programmierbarer, zweikanaliger Baustein, der Daten in das für serielle Datenübertragung erforderliche Format umsetzt. Sie kann asynchron, synchron und bitorientiert synchron arbeiten.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Stromaufnahme (typisch)	Schlafzustand
U 84 C 40 DC 02	2,5 MHz	7 mA	möglich
U 84 C 40 DC 04	4 MHz	7 mA	möglich

Eigenschaften der SIO:

- vier unabhängige serielle Ports
- zwei Sender- sowie Empfängerports
- asynchrone oder synchrone Arbeitsweise
- asynchrone Daten mit 5, 6, 7 oder 8 Datenbits, 1, 1 1/2 oder 2 Stoppbits und gerader, ungerader oder keiner Paritätserzeugung bzw. Paritätsprüfung
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Breakerzeugung und -erkennung
- alle Ein- und Ausgänge voll TTL-kompatibel
- Taktvarianten: x 1, x 16, x 32, x 64
- Datenübertragungsraten: 0 bis 550 kbit/sec.
- 4 Eingänge/4 Ausgänge zur MODEM-Steuerung
- volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
- Betriebszustand "Adreßerkennung" bei SOLC/HDLC
- Betriebszustand "Synchronisationsbyteunterdrückung" mit mono- und bisynchroner Arbeitsweise
- Die hohen Übertragungsraten und die automatische CRC-Erzeugung gestatten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte, ohne daß direkter Speicherzugriff erforderlich ist.
- Empfangene Daten und Fehlerregister sind vierfach, zu sendende zweifach gepuffert.
- leistungsfähige Interruptstruktur durch wahlweise festen oder variablen Interruptvektor
- CRC-16- oder CRC-CCITT-(0 und -1)-Prüfpolynom
- gültig empfangene Daten vor dem Überschreiben geschützt
- 5 V-Einphasentakt und eine einzige 5 V-Gleichspannungsversorgung
- Prioritätslogik durch Kaskadierung der Bausteine
- Die SIO kann in einen Schlafzustand überführt werden, in dem die Stromaufnahme kleiner als 10 µA wird.

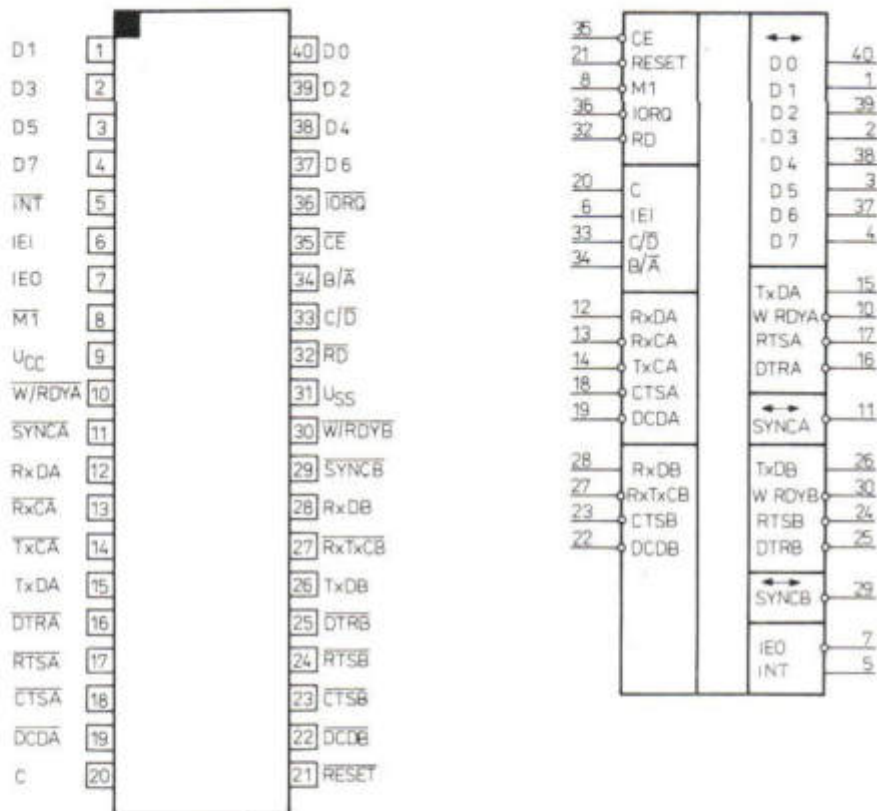


Bild 7: Anschlußbelegung und Schaltzeichen (Bondvariante U 84 C 40 DC/Bauform 1)

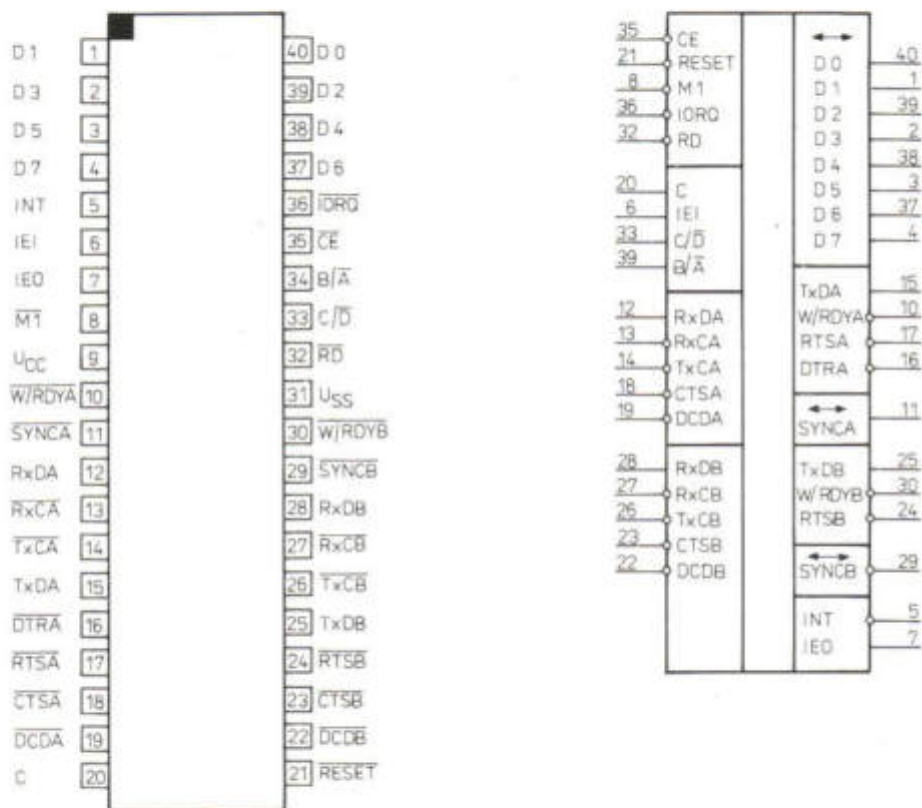


Bild 8: Anschlußbelegung und Schaltzeichen (Bondvariante U 84 C 41 DC/Bauform 1)

Bezeichnung der Anschlüsse:

D 0 ... D 7	8 bit bidirektionaler Datenbus
$\overline{CE}$	Bausteinauswahl, Eingang
$\overline{RESET}$	Rücksetzen, Eingang
$\overline{MT}$	CPU-Maschinenzyklus M 1, Eingang
$\overline{IORQ}$	CPU-Ein-/Ausgabeanforderung, Eingang
$\overline{RD}$	CPU-Leseanforderung, Eingang
RxDA, RxDB	Empfangsdaten, Eingänge
RxCA, RxCB	Empfängertakte, Eingänge ¹⁾
TxCA, TxCB	Sendertakte, Eingänge ¹⁾
CTSA, CTSB	Sendebereitschaft, Eingänge
DCDA, DCDB	Datenträgererkennung, Eingänge
B/A	Kanalauswahl, Eingang
C/D	Umschaltung Steuerwort/Datenwort, Eingang
IEI	Interrupthfreigabe, Eingang
IED	Interrupthfreigabe, Ausgang
INT	Interrupthanforderung, Ausgang
TxDA, TxDB	Sendedaten, Ausgänge
W/RDYA, W/RDVB	WAIT/READY-Pin (CPU WAIT, DMA READY), Ausgänge
SYNCA, SYNCB	Externsynchronisation, Ein-/Ausgänge
RTSA, RTSB	Sendeanforderung, Ausgänge
C	Systemtakt
DTRA, DTRB	Bereitschaft Datenterminal, Ausgänge

1) Empfänger- und Sendetakt Kanal B gemeinsam gebündelt (U R4 C 40), Pinbezeichnung: RxTxCB

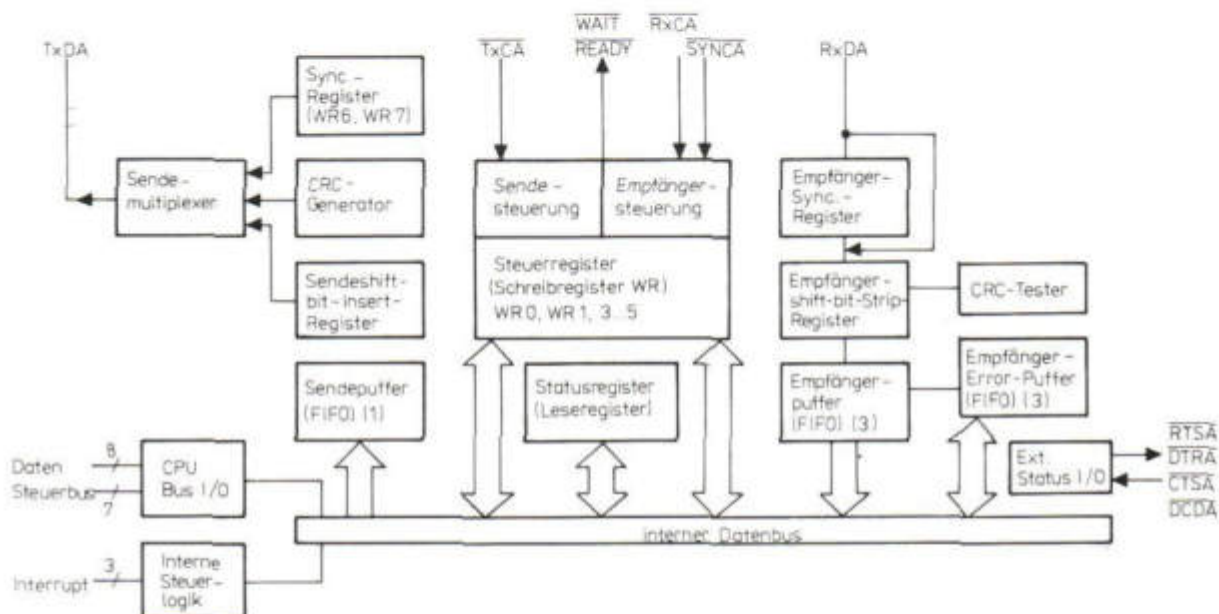


Bild 9: Struktur des SIO-Kanals A

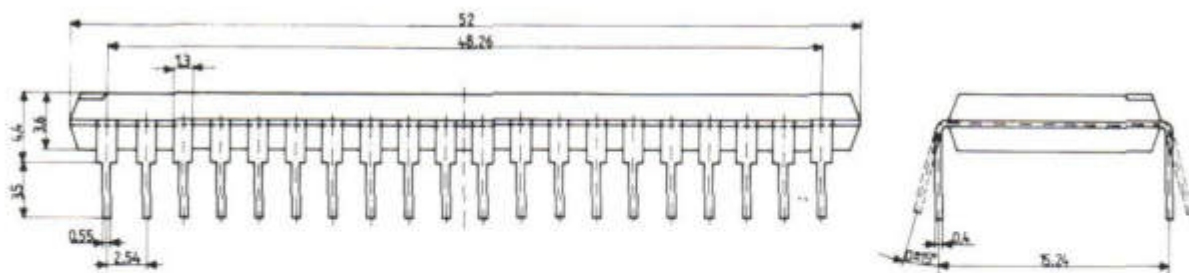


Bild 10: Gehäuseabmessungen Bauform 1

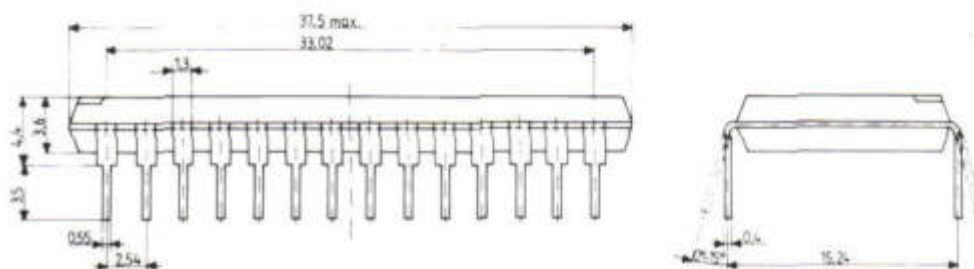


Bild 11: Gehäuseabmessungen Bauform 2

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung. Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente müssen unbedingt eingehalten werden, da andernfalls eine Reklamation nicht anerkannt werden kann.

RFT



**veb mikroelektronik »karl marx« erfurt
stammbetrieb**

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

**elektronik
export·import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei, Telefon: 2180