

MMU-Schaltkreis UB 8010 C

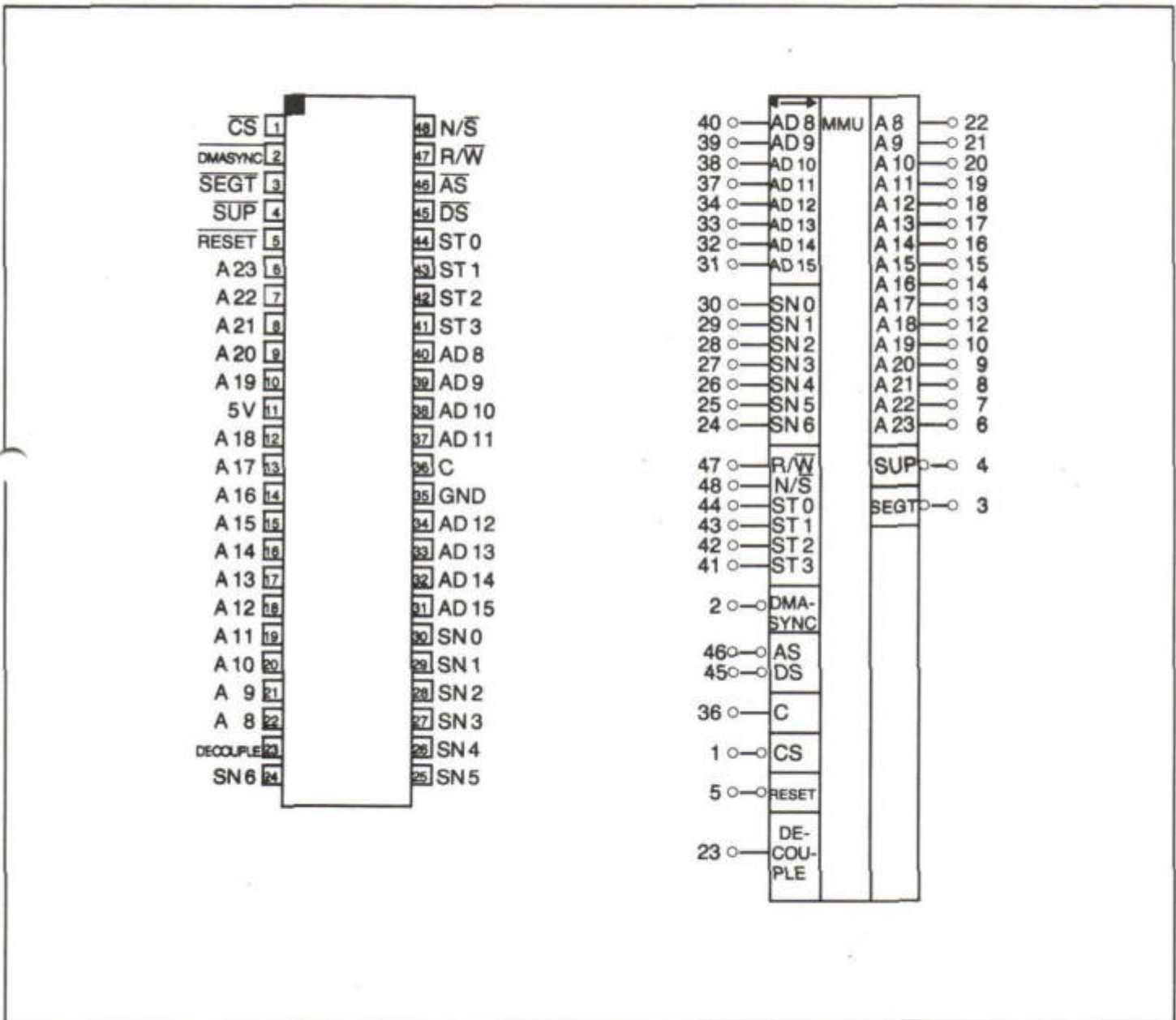


Der UB 8010 C ist ein programmierbarer Peripherieschaltkreis zum 16bit-Mikroprozessor UB 8001 C.

Der Baustein ermöglicht sowohl eine dynamische Speichersegmentverschiebung als auch die Festlegung bestimmter

Speicherschutzfunktionen. Er verwaltet den 8MByte-Adreßraum der CPU U 8001 C.

Bild 1:
Anschlußbelegung und
Schaltungskurzzeichen



Bezeichnung der Anschlüsse

A 8 ... A 23	Adreßbus (Ausgang, aktiv „H“, tristate)
AD 8 ... AD 15	16 obere bits der physischen Speicheradresse Adreß-/Datenbus (Ein-/Ausgang, aktiv „H“, tristate) Multiplex-Daten- und Adreßleitungen, die sowohl die Kommandos als auch die Adreßumsetzung benötigen logischen Adressen führen
$\overline{AS}$	Adreß-Strobe (Eingang, aktiv „L“) Die steigende Flanke von $\overline{AS}$ zeigt an, daß AD 8 ... AD 15, ST 0 ... ST 3, R/W und $\overline{N/\overline{S}}$ ein gültiges Signal führen.
C	Systemtakt (Eingang)
$\overline{CS}$	Zeitbasis für CPU und MMU Bausteinauswahladresse (Eingang, aktiv „L“) gibt die MMU für ein Steuerkommando frei
$\overline{DMASync}$	DMA/Segmentnummersynchronisier-Strobe (Eingang, aktiv „H“) Ist $\overline{DMASync} = L$, befinden sich SN 0 ... SN 6 im hochohmigen Zustand, H zeigt gültige Signale für die Leitungen SN 0 ... SN 6 an. Während eines CPU-Zyklus muß $\overline{DMASync}$ immer H sein. Benötigt der DMA-Baustein die MMU nicht zur Adreßumsetzung, kann das $\overline{BUSAk}$ -Signal der CPU als Eingangssignal für $\overline{DMASync}$ genutzt werden.
$\overline{DS}$	Daten-Strobe (Eingang, aktiv „L“) Diese Leitung gibt den Datentransfer zwischen CPU und MMU frei.
$\overline{N/\overline{S}}$	Normal-/Systembetrieb (Eingang, L = Systembetrieb) signalisiert Normal- bzw. Systembetrieb; Das Signal kann ebenfalls benutzt werden, um verschiedene MMU's im Rahmen bestimmter Instruktionsphasen zu aktivieren.
DECOUPLE	Nicht anschließen!
$\overline{RESET}$	$\overline{RESET}$ (aktiv „L“)
R/W	Lesen/Schreiben (Eingang, L = Schreiben) signalisiert der CPU oder DMA Lese- bzw. Schreibzyklus
$\overline{SEGt}$	„Segment-Trap“-Anforderung (Ausgang, aktiv „L“, open drain) Die MMU sendet über diese Leitung einen Trap, falls ein fehlerhafter Zugriff oder eine Schreibwarnung festgestellt wurde.
SN 0 ... SN 6	Segmentnummer (Eingang, aktiv „H“) Die Leitungen SN 0 ... SN 5 werden zur Adressierung von 64 Segmenten benötigt. Mit SN 6 wird die MMU global freigegeben.
$\overline{SUP}$	Suppress (Ausgang, aktiv „L“, open drain) Dieses Signal wird während eines laufenden Zyklus aktiv, wenn eine Zugriffsverletzung mit Ausnahme der Schreibwarnung auftritt.

Beschreibung

Der UB 8010 C ist ein MMU-Schaltkreis, der in n-Kanal-Silicon-Gate-Technologie in einem 48poligen DIL-Keramikgehäuse im 2,54 mm-Raster und 15,24 mm Reihenabstand gefertigt wird.

Zum Betrieb benötigt er nur eine 5 V-Versorgungsspannung und einen Einphasen-Arbeitstakt von 4 MHz.

Der UB 8010 C/MMU verwaltet den 8MByte großen Adreßraum der CPU UB 8001 C. Der Baustein ermöglicht sowohl eine dynamische Speicher-segmentverschiebung als auch die Festlegung bestimmter Speicherschutzfunktionen.

Die dynamische Speichersegmentverschiebung erlaubt dem Anwender eine von der physischen Adressierung unabhängige Softwareadressierung und ermöglicht eine flexible und effektive Unterstützung von Multiprogrammsystemen. Der UB 8010 C benutzt Vektortabellen zur Umsetzung der 23 bit breiten logischen Adresse am Adreßausgang der CPU UB 8001 C in die 24bit-Adresse des Speichers. Es werden nur Speicheradressen übersetzt. I/O-Adressen und Daten werden nicht beeinflußt.

Die Größe der 64 Speichersegmente läßt sich im Bereich von 256 Byte bis 64 kByte in 256Byte-Schritte variieren. Zur Behandlung der 128 Segmente des UB 8001 C sind zwei UB 8010 C erforderlich. Die Anwendung mehrerer MMU's ermöglicht die Auswertung unterschiedlicher Vektortabellen für System- und Normalmode oder den Aufbau komplexer MMU-Systeme.
Die Speicherschutzfunktionen sichern die einzelnen Speichersegmente durch Überwachung der Zugriffe vor nicht autorisiertem oder unbeabsichtigtem Zugriff. Die Segmentmerkmale werden durch Programmierung einer Reihe von Parametern festgelegt. Bei einem Speicherzugriff werden diese Parameter anhand der Statusinformationen der CPU UB 8001 C überprüft. Treten dabei Differenzen auf, wird ein Trap ausgeführt. Die Ursache kann durch die CPU anhand der MMU-Statusregister ausgewertet werden.

Die durch die entsprechenden Parameter festgelegten Schutzfunktionen beziehen sich auf Lese-, System-, Ausführungs-, DMA- und CPU-Zugriff. Weitere Steuer-

parameter legen einen Schreibwarnungsbereich für Stacksegmente fest.

Die Status-Flags für jedes Segment beziehen sich auf Lese- und Schreibzugriff.

Der UB 8010 C wird mit Hilfe von 22 möglichen Instruktionen durch die CPU gesteuert. Mit diesen Befehlen kann die Systemsoftware den Programmsegmenten beliebige Speicherplätze zuweisen und die Benutzung autorisieren. Durch den Einsatz des MMU-Schaltkreises UB 8010 C wird die Leistungsfähigkeit von 16bit-Systemen mit der CPU UB 8001 C wesentlich gesteigert, es wird z. B. der Einsatz als echtes Multitask-System ermöglicht, wie auch die Anwendung moderner Betriebssysteme und die Anwendung höherer Programmiersprachen (z. B. PASCAL, FORTRAN) durch eine Vielzahl von Benutzern.

Eine ausführliche Beschreibung wird in einem umfangreichen Handbuch „MMU UB 8010 C – Technische Beschreibung“ vom Hersteller auf Bestellung geliefert.

Grenzwerte

Kennwert	Kurzzeichen		min.	max.	Einheit
Betriebsspannung	U_{CC}		-0,3	7	V
Eingangsspannung	U_i		-0,3	7	V
Betriebstemperaturbereich	ϑ_a		0	70	°C
Lagertemperaturbereich	ϑ_{stg}		-55	125	°C

Statische Kennwerte

($U_{GND} = 0 \text{ V}$; $U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$; $\vartheta_a = 0 \dots 70 \text{ °C}$)

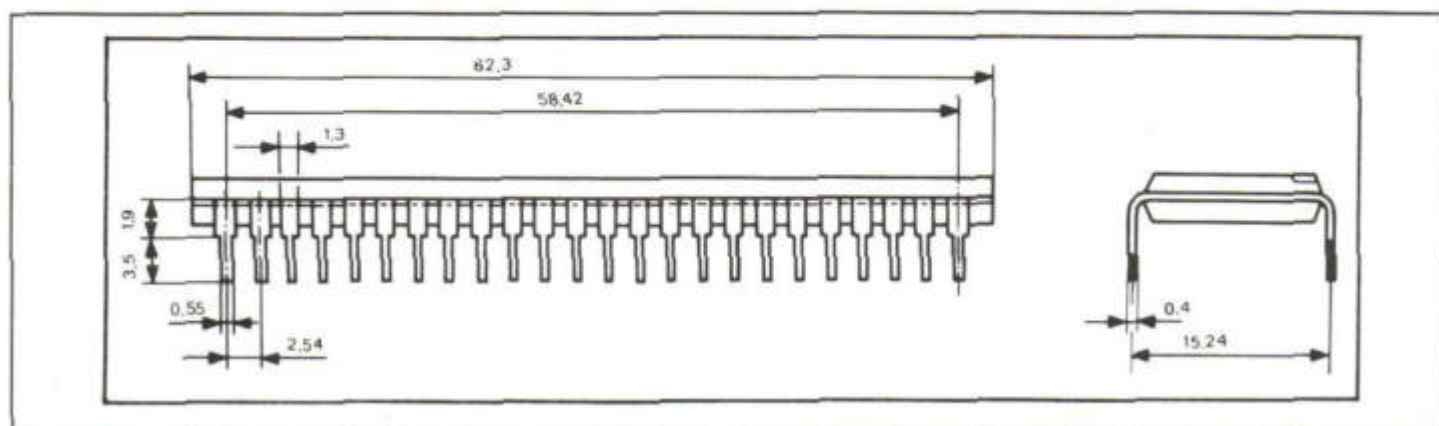
Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebstemperatur	ϑ_a		0	70	°C
Betriebsspannung	U_{CC}		4,75	5,25	V
Eingangsspannung Low	U_{iL}		-0,3	0,8	V
Eingangsspannung High	U_{iH}		2,0	$U_{CC} + 0,3$	V
Takteingangsspannung Low	U_{iLC}		-0,3	0,45	V
Takteingangsspannung High	U_{iHC}		$U_{CC} - 0,4$	$U_{CC} + 0,3$	V
Taktpegel High	U_{CH}	Taktgenerator	$U_{CC} - 0,4$	$U_{CC} + 0,3$	V
Taktpegel Low	U_{CL}		-0,3	0,45	V
Eingangspegel High	U_{iH}		2	$U_{CC} + 0,3$	V
Eingangspegel Low	U_{iL}		0,3	0,8	V
Ausgangspegel High	U_{OH}	$I_{OH} = 250 \mu\text{A}$	2,4		V
Ausgangspegel Low	U_{OL}	$I_{OL} = -2 \text{ mA}$		0,4	V
Eingangsreststrom	I_{iL}	$0,4 \text{ V} \leq U_{in} \leq 2,4 \text{ V}$		± 10	μA
Ausgangsreststrom	I_{OL}	$0,4 \text{ V} \leq U_{in} \leq 2,4 \text{ V}$		± 10	μA
Gesamtstromaufnahme	I_{CC}			300	mA

Dynamische Kennwerte

($U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$; $C_L = 100 \text{ pF}$; $\vartheta_a = 0 \dots 70 \text{ °C}$)

Kennwert	Kurzzeichen		min.	max.	Einheit
Eingangsfrequenz	f_{oC}		0,5	4	MHz
Eingangstaktanstiegs- und -abfallzeiten	t_r ; t_f			20	ns
Taktbreite	t_{WC}		105	2000	ns
Taktzykluszeit	T_{cC}			250	ns
Taktimpulsbreite Low	T_{wCL}			105	ns
Taktimpulsbreite High	T_{wCH}			105	ns
Taktflanke HL	T_{fC}			20	ns
Taktflanke LH	T_{rC}			20	ns

Bild 2:
Gehäuseabmessungen





**veb mikroelektronik 'karl marx' erfurt
stammbetrieb**

DDR-5023 Erfurt, Rudolfstraße 47
Telefon 5 80, Telex 061 306

**elektronik
export·import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei, Telefon: 2180

Dieses Datenblatt gibt keine Auskunft
über Liefermöglichkeiten und beinhaltet
keine Verbindlichkeiten zur Produktion.
Die gültigen Vertragsunterlagen beim
Bezug der Bauelemente sind die Typen-
standards. Rechtsverbindlich ist jeweils
die Auftragsbestätigung.
Änderungen im Zuge der technischen
Weiterentwicklung vorbehalten.

Hinweis

Die Behandlungsvorschriften für
MOS-Bauelemente sind unbedingt
einzuhalten, da andernfalls eine
Reklamation nicht anerkannt werden
kann.